



Presentation: Front

Image: Small

Français 
1040 of 1327[View Images](#)

PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : G06F 13/42	A1	(11) Int. Publication Number: WO 99/19806 (43) Int. Publication Date: 22 April 1999 (22.04.1999)
<p>(21) Int. Application Number: PCT/US98/21448</p> <p>(22) Int. Filing Date: 09 October 1998 (09.10.1998)</p> <p>(30) Priority Data 60/061,505 Filed on 10 October 1997 (10.10.1997) US</p> <p>(71) Applicant: RAMBUS INCORPORATED 2465 Latham Street, Mountain View, CA 94040 ; (US). [US/US].</p> <p>(72) Inventors ZERBE, Jared, LeVan 755 Montrose Avenue, Palo Alto, CA 94303 ; (US). CHING, Michael, Tak-kei US CHING, Michael, Tak-kei 1283 Vicente Drive No. 209, Sunnyvale, CA 94086 ; (US). ABHYANKAR, Abhijit, M. US ABHYANKAR, Abhijit, M. 1075 Valencia Avenue No. 8, Sunnyvale, CA 94086 ; (US). BARTH, Richard, M. US BARTH, Richard, M. 787 Los Robles Avenue, Palo Alto, CA 94022 ; (US). CHAN, Andy, Peng-Pui US CHAN, Andy, Peng-Pui 2968 Tantallon Court, San Jose, CA 95132 ; (US). DAVIS, Paul, G. US DAVIS, Paul, G. 2317 Rupert Drive, San Jose, CA 95124 ; (US). STONECYPHER, William, F. US STONECYPHER, William, F. 1574 Willowbrook Drive, San Jose, CA 95118 ; (US).</p> <p>(74) Agent: WILLIAMS, Gary, S. Flehr, Hohbach, Test, Albritton & Herbert LLP, 4 Embarcadero Center, Suite 3400, San Francisco, CA 94111-4187 ; (US).</p>		<p>(81) Designated States: AU, CA, JP, KR ; European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>Published With international search report.</p> <p><i>Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i></p>
<p>(54) Title: METHOD AND APPARATUS FOR FAIL-SAFE RESYNCHRONIZATION WITH MINIMUM LATENCY</p> <p>(57) Abstract A method and circuit for achieving minimum latency data transfer between two mesochronous (same frequency, different phase) clock domains is disclosed. This circuit supports arbitrary phase relationships between two clock domains and is tolerant of temperature and voltage shifts after initialization while maintaining the same output data latency. In one embodiment, this circuit is used on a bus-system to re-time data from receive-domain, clocks to transmit-domain clocks. In such a system the phase relationships between these two clocks is set by the device bus location and thus is not precisely known. By supporting arbitrary phase resynchronization, this disclosure allows for theoretically infinite bus-length and thus no limitation on device count, as well as arbitrary placement of devices along the bus. This ultimately allows support of multiple latency-domains for very long buses.</p> <div data-bbox="1079 1438 1331 1732" data-label="Diagram"> </div>		



Presentation: Front

Image: Small

Français 
1040 of 1327

(43)公表日 平成13年10月30日(2001.10.30)

(51)Int.Cl. ⁷	識別記号	F I	テモート* (参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 A 5 B 0 7 7
H 0 4 L 7/00		H 0 4 L 7/00	Z 5 K 0 4 7
7/04		7/04	B

審查請求 未請求 予備審查請求 有 (全 56 頁)

(21)出願番号	特願2000-516290(P2000-516290)
(86)(22)出願日	平成10年10月9日(1998.10.9)
(85)翻訳文提出日	平成12年4月10日(2000.4.10)
(86)国際出願番号	PCT/US98/21448
(87)国際公開番号	WO99/19806
(87)国際公開日	平成11年4月22日(1999.4.22)
(31)優先権主張番号	60/061,505
(32)優先日	平成9年10月10日(1997.10.10)
(33)優先権主張国	米国(US)
(81)指定国	EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, CA, JP, KR

(71)出願人 ラムバス インコーポレイテッド
アメリカ合衆国 カリフォルニア州
94040 マウンテン ヴィュー レイサム
ストリート 2465

(72)発明者 ゼアビー ジェイリッド レヴァン
アメリカ合衆国 カリフォルニア州
94303 パロ アルト モンローズ アベ
ニュー 755

(72)発明者 チン マイケル タク ケイ
アメリカ合衆国 カリフォルニア州
94086 サニーヴェイル ヴィセンティ
ドライヴ ノース 209-1283

(74)代理人 弁理士 中村 稔 (外9名)

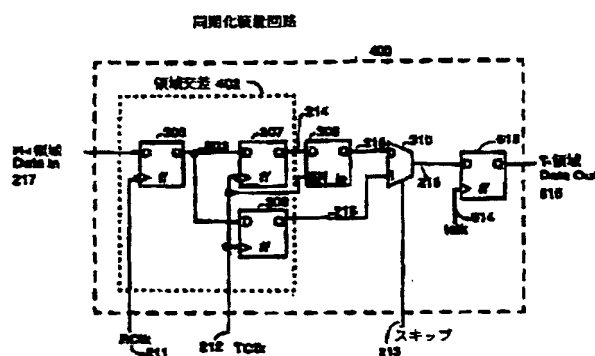
[最終頁に続く](#)

(54) 【発明の名称】 最小限の待ち時間とフェイルセーフ再同期化するための方法および装置

(57) 【要約】

2つのメソクロナス(同じ周波数、異なった位相)クロック領域間で最小限の待ち時間データ転送を行うことができる方法および回路がここに開示してある。この回路は、同じ出力データ待ち時間を維持しながら、2つのクロック領域間の任意の位相関係をサポートし、初期化後、温度および電圧のシフトを許容する。一実施例において、この回路は、受信領域からのデータをリタイムするようにバス・システムで使用され、送信領域クロックに対して計時する。このようなシステムにおいて、これらの2つのクロック間の位相関係は、装置バス部位によってセットされ、したがって、精密にはわからない。任意の位相再同期化をサポートすることによって、この開示は、理論的に無限のバス長を許し、したがって、装置カウントには制限がまったくない。それと共に、バスに沿った装置の任意の配置も可能となる。これは、最終的には、非常に長いバスのための多数の待ち時間領域のサポートを可能にする。

FIG 10



【特許請求の範囲】

【請求項1】 受信メソクロナス・クロックと送信メソクロナス・クロックとの間でデータを同期化する同期化回路であつて、受信クロックにより計時されたデータを提供するための受信クロック領域回路と、受信クロック領域回路の出力部に接続した第1ラッチ回路であり、送信クロックの第1エッジでデータをラッチする第1ラッチ回路とを包含し、受信クロックおよび送信クロックがメソクロナスであり、さらに、第1ラッチ回路と並列に接続した第2ラッチ回路であり、送信クロックの第2エッジでデータをラッチする第2ラッチ回路と、第1、第2つのラッチ回路の出力部に接続した入力部を有する多重化回路と、受信クロックと送信クロックの間の位相差を測定するようになっており、そして、この位相差に従って多重化回路へセレクト信号を与える位相測定回路とを包含することを特徴とする同期化回路。

【請求項2】 請求項1の同期化回路において、位相測定回路が、受信クロックと送信クロックと直角位相のクロックとの間の位相差を決定し、位相測定回路が受信クロックおよび送信クロックと直角位相のクロックを受信するように接続した位相コンパレータと、この位相コンパレータの出力部に接続したインテグレータとを包含し、同期化回路が位相測定回路の出力部に接続してあつて初期化期間後に出力信号をラッチするラッチを包含することを特徴とする同期化回路。

【請求項3】 請求項1の同期化回路において、位相測定回路が、受信クロックと送信クロックと直角位相のクロックとの間の位相差を決定することを特徴とする同期回路。

【請求項4】 請求項1の同期化回路において、位相測定回路が、受信クロックと送信クロックと直角位相のクロックとを受信するように接続した位相コンパレータと、この位相コンパレータの出力部に接続するインテグレータとを包含することを特徴とする同期化回路。

【請求項5】 請求項1の同期化回路において、さらに、位相測定回路の出力部に接続してあり、初期化期間後に出力信号をラッチするラッチを包含することを特徴とする同期化回路。

【請求項6】 請求項1の同期化回路において、ラッチ回路がフリップフロ

ップであることを特徴とする同期化回路。

【請求項7】 請求項1の同期化回路において、さらに、第3ラッチ回路を包含し、この第3ラッチ回路が、第1ラッチ回路の出力部とマルチプレクサとの間に接続してあり、送信クロック信号の第2エッジに対して第1ラッチ回路の出力をリタイムするようになっていることを特徴とする同期化回路。

【請求項8】 請求項1の同期化回路において、さらに、マルチプレクサのセレクト入力部に接続したセレクト信号ラッチを包含することを特徴とする同期化回路。

【請求項9】 請求項8の同期化回路において、さらに、異なるクロック周波数に対応する異なったセレクト信号を格納するための複数のセレクト信号ラッチを包含することを特徴とする同期化回路。

【請求項10】 請求項1の同期化回路において、第1、第2つのラッチ回路が、各々、予め充電されたセンス増幅器を包含することを特徴とする同期化回路。

【請求項11】 同期メモリ・バス・システムであって、第1の端および第2つの端を有するデータバスと、クロック信号を生成するクロック源と、クロック信号を搬送するクロック・ラインを包含し、このクロック・ラインが、データバスの第1端からデータバスの第2端近くのターンアラウンドまで延びている第1のクロック・ライン部分と、ターンアラウンドからデータバスの第1端まで延びている第2つのクロック・ライン部分とを有し、さらに、データバスに接続してあり、第2つの装置にデータを伝送する第1の装置であって、第1、第2つのクロック・ライン部分のうちの1つから第1の送信クロックを受信し、第1および第2つのクロック・ライン部分の他方から受信クロックを受信する同期化回路と、第1の送信クロックと直角位相の第2つの送信クロックとを包含し、受信クロックおよび第1の送信クロックがメソクロナスであり、前記同期化回路が、受信クロックによって計時されるデータを与える受信クロック領域回路と、受信クロック領域回路の出力部に接続しており、第2つの送信クロックの第1エッジでデータをラッチする第1ラッチ回路と、第1ラッチ回路と並列に接続してあり、第2送信クロックの第2エッジにデータをラッチする第2ラッチ回路と、第1、

第2つのラッチ回路の出力部に接続した入力部を有する多重化回路と、受信クロックと第1の送信クロックとの間の位相差を測定し、この位相差に従ってマルチプレクサにセレクト信号を与えるようになっている位相測定回路とを包含することを特徴とする同期化回路。

【請求項12】 受信メソクロナス・クロックと送信メソクロナス・クロックとの間でデータを同期化する方法であって、受信クロック領域からの受信クロックによって計時されるデータを用意する段階と、送信クロックの第1エッジで第1のラッチ回路内にデータをラッチ段階と、送信クロックの第2エッジで第2つのラッチ回路内にデータをラッチする段階とを包含し、受信クロックおよび送信クロックがメソクロナスであり、さらに、受信クロックと送信クロックの間の位相差を測定し、この位相差に従ってスキップ信号を与える段階と、スキップ信号に基づいて第1、第2つのラッチ回路を選択する段階とを包含することを特徴とする方法。

【請求項13】 請求項12つの方法において、位相差を測定する段階が、受信クロックと送信クロックと直角位相のクロックとの間の位相差を決定する段階を包含することを特徴とする方法。

【請求項14】 請求項12つの方法において、位相差を測定する段階が、受信クロックと送信クロックと直角位相のクロックとを比較する段階と、この比較段階の結果を積分する段階とを包含することを特徴とする方法。

【請求項15】 請求項12つの方法において、さらに、初期化または較正シーケンスの後にスキップ信号をラッチする段階を包含することを特徴とする方法。

【請求項16】 請求項12つの方法において、さらに、送信クロック信号の第2エッジで第1のラッチ回路の出力をラッチし、送信クロック信号の第2エッジに対して第1ラッチ回路の出力をリタイムする段階を包含することを特徴とする方法。

【請求項17】 受信メソクロナス・クロックと送信メソクロナス・クロックとの間でデータを同期化する同期化回路であって、受信クロックの第1エッジによって計時されるデータを提供する第1の受信クロック領域回路と、受信クロ

ックの第2エッジによって計時されるデータを提供する第2つの受信クロック領域回路と、受信クロック領域回路の出力部に接続してあり、送信クロックのエッジでデータをラッチする2つのラッチ回路とを包含し、受信クロックおよび送信クロックがメソクロナスであり、さらに、2つのラッチ回路の出力部に接続した入力部を有する多重化回路と、受信クロック、送信クロック間の位相差を測定し、この位相差に従ってマルチプレクサにセレクト信号を与えるようになっている位相測定回路とを包含することを特徴とする同期化回路。

【請求項18】 請求項17の同期化回路において、位相測定回路が、受信クロックと送信クロックと直角位相のクロックとの間の位相差を決定することを特徴とする同期化回路。

【請求項19】 請求項17の同期化回路において、位相測定回路が、受信クロックと送信クロックと直角位相のクロックとを受信するように接続した位相コンパレータと、この位相コンパレータの出力部に接続したインテグレータとを包含することを特徴とする同期化回路。

【請求項20】 請求項17の同期化回路において、さらに、位相測定回路の出力部に接続してあり、初期化期間後に出力信号をラッチするラッチを包含することを特徴とする同期化回路。

【請求項21】 受信メソクロナス・クロックと送信メソクロナス・クロックとの間でデータを同期化する同期化回路であって、受信クロックによって計時されるデータを提供する受信クロック領域回路と、受信クロック領域回路の出力部を中間クロックのエッジでラッチする中間クロック領域回路とを包含し、中間クロックが受信、送信クロックの位相補間波形であり、受信クロックおよび送信クロックがメソクロナスであり、さらに、中間クロック領域回路の出力部に接続してあり、送信クロックのエッジでデータをラッチする送信クロック領域回路を包含することを特徴とする同期化回路。

【請求項22】 請求項21の回路において、さらに、受信、送信クロックから中間クロックを生成する位相補間回路またはミキサを包含することを特徴とする回路。

【発明の詳細な説明】**【0001】**

本出願は、「Method and Apparatus for Fail-Safe Resynchronization with Minimum Latency」という名称で、1997年10月10日に出願された出願通し番号60/061,505の仮特許出願に対する優先権を請求する。

【0002】**(発明の背景)**

本発明は、周波数は同じであるが、位相が異なるクロック領域、特に同期メモリ・システムのためのクロック領域間でのデータ転送を同期化する回路に関する。

【0003】

メソクロナス・システムは、任意の位相関係を有し、同じ周波数で作動している少なくとも2つの異なるクロックからなる。このようなシステムにおいては、一方のクロック領域から他方のクロック領域にデータを送るときに、同期化障害が生じる可能性がある。この問題は非同期システムのそれと同様であるが、両方のクロックが同じ周波数で作動しているという点で解決するのはより簡単である。この制約の故に、非同期システムにおいてありそうな場合よりも信頼性があり、待ち時間が少ないデータ転送を達成することができる。

【0004】

コンピュータ・システムは、代表的には、個別の構成要素間でデータを伝送するためにバスを使用する。最低待ち時間でもって最高の率でデータを伝送するために、同期伝送が多用されている。一実施例(図1参照)においては、送信クロックが、データを計時するのに使用され得る受信装置に達するまでバスに沿ってデータ信号と一緒に送られる。これは、信号がバスワイヤを移動している時の遅延が対応するバスワイヤを下るクロックの遅延と一致するように行われる。同じ技術を用いて両方向にクロックおよびデータを送る場合には、送受信データ(そして、クロック)はバスに沿った装置の位置に依存する位相関係を有し得る。パーツ内を受信クロック領域から送信クロック領域へ移動するとき、データを送信クロック領域に対してリタイムする、あるいは、少なくとも制御パルスのリタイムする必要があるが生じる。従来技術では、このようなバスの長さに制約があった。図

1のようなバス付きシステムにおいては、バスの長さは、受信クロック、送信クロック間の位相関係を決定する。

【0005】

クロック・サイクル時間の一部として2つのメソクロナス・クロック間になんらかの位相差があると便利である。サイクル・タイムTCYCLEの2つのクロックがあり、送信クロックについて t_{TxClk} 、受信クロックについて t_{RClk} (図5参照)として定義されるソースに対する位相がある場合には、 t_{TR} がクロック・サイクル・タイムの一部としてクロックの立ち下がりエッジ間の相対位相となる。これは次のように表すことができる。

$$t_{TR} = \frac{t_{RClk} - t_{TxClk}}{t_{CYCLE}}$$

この定義では、まったく同じ関係の場合の2つのクロックの位相位置は、 $t_{TR} = 0$ となり、互いに反転した2つのクロックは、 $t_{TR} = 0.5$ 、等となる。Gasbarroに対する米国特許第5,432,823号は、クロックスキューにもかかわらず一貫した待ち時間で出力データを提供する固定待ち時間プロトコルを使用している。回路性能における制限のため、Gasbarroの一実施例 (図2参照)における最大素スキュー、したがって、バス長は t_{TR} 制限を有する。装置がこの制限を越えて配置された場合、内蔵同期化回路がその障害ポイント付近になるので、出力データ待ち時間が不確実となる可能性があった。固定待ち時間プロトコルを使用する従来技術は、1つの待ち時間から他の待ち時間への移行のための制御を行えない。これを解決するために、時には、制限が t_{TR} 操作範囲に置かれ、したがって、潜在的に、最大バス長および装置カウントに置かれる。

【0006】

他のシステムが、1997年7月21日に出願され、本出願人に譲渡されたPortmann等の審査継続中の出願、通し番号08/897658に記載されている (図3参照)。Portmannは、フリップフロップのチェーンを記載しており、これらのフリップフロップを徐々に使用して1つの領域から他の領域に向かうデータをリタイムすることができる。このようなリタイミング・システムは、実際に任意の位相問題の部分集合である。Portmannにおけるクロック間のスキューは、対応

する遅延チェーン・オンチップを加えることによって容易に再現され得る。チェーン内の各フリップフロップが別の出力待ち時間サイクルを加える可能性があるので、このようなシステムは、入力データから出力データまでの待ち時間が大きくなりやすい。また、待ち時間領域スイッチング・ポイントでGasbarroと同じ不確実性が生じやすい。そのため、長いバスで遭遇するような、クロック間の任意の位相関係を持つシステムには不向きである。

【0007】

本発明は無制限の t_{TR} を許す。混合待ち時間プロトコルをサポートすることによって、しっかりした待ち時間領域を創り出すことで、不確実性に係わることなく 1.0 を超える t_{TR} を得ることが可能となる。従来技術と異なって、本発明は、後に生じる可能性のある V_{dd} 変動あるいは温度変動にもかかわらず、初期化中に選ばれた出力待ち時間を維持する。それに加えて、本発明は従来技術よりも高い周波数で作動し得る回路を包含する。

【0008】

(発明の概要)

本発明は、送信クロックの立ち上がり、立ち下がり両方のエッジで受信クロック領域からのデータをラッチする 2 つのラッチ回路を有する同期化回路を提供する。使用すべきどのデータをラッチするかという選択は、受信クロック、送信クロック間の位相差の位相測定値に基づいており、これが 2 つのラッチ回路に接続されるマルチプレクサにセレクト信号を与える。位相差は、2 つのラッチについての有効データのオーバーラップ領域の中間にできるだけ接近したデータを与えるように選ばれる。ひとたびこの値が選ばれたならば、それは初期化後にラッチにおいて凍結される。データがそのオリジンからの 1 つ、2 つまたはそれ以上のクロック・サイクル待ち時間を有する可能性があるので、クロック選択を凍結することは、また、回路作動についての待ち時間も凍結する。したがって、同期化回路は待ち時間を知らず、相対的な位相差しか知らないけれども、安定した作動構成を確立することができる。

【0009】

ここで用いる「受信」クロック領域、「送信」クロック領域という用語は、同

同期化回路による受信、送信を意味しており、必ずしも装置、たとえば、メモリ装置によるデータの受信、送信に対応するものではない。本発明は、特に、複数のDRAMが、クロック発信ポイントからの種々の待ち時間で、同期バスに沿って配置されている同期メモリ・システムにおいて有用である。各個々のDRAMで再計時されたデータは、第1の待ち時間または第2つの待ち時間にあってもよい。システム全体は、待ち時間の少ない装置に待ち時間を加えてすべてのデータが同時にバス上に置かれることになるようにすることによって均等化される。

【0010】

好ましい実施例において、受信クロック領域データは、受信クロックによって計時されるフリップフロップを通して提供される。2つのラッチ回路は、好ましくは、予充電されたセンス増幅器を利用してセットアップ、ホールドおよびclock-to-data-outの変動によるクロックのシフトを最小限に抑えるフリップフロップである。

【0011】

好ましくは、位相測定回路は、受信クロック、また、送信クロックそのものではなくて送信クロックと直角位相のクロックを受信して、最大有効データ・オーバーラップのポイントに最終的なスキップ信号を置くように接続した位相コンパレータを有する。位相コンパレータの出力は、インテグレータに送られ、任意のジッターを除去し、決定ポイントにおける任意の不確実性を縮小する。好ましくは、DLLあるいはPLLを用いて同期化されるものよりもむしろ外部送信クロックが使用され、別の可能性のあるジッター源を除去する。本発明の性質および利点をさらに理解するためには、添付図面と共に以下の説明を参照されたい。

【0012】

(実施例の説明)

(発明の概観)

本発明は、任意位相の入力データを採用し、最小の待ち時間で第2つのメソクロナス・クロック領域にそれをリタイムすることを可能にする。好ましい実施例のブロック図が図6に示されている。この実施例は、このリタイミングを同期化装置400およびスキップ回路401を経て行う。これら個別の回路の各々およ

びその機能は、最後に説明する動作と共に個別に説明する。

【0013】

(定義)

本発明の以下の説明において役に立ついくつかの用語がある。

R c l k : バス-受信クロック (図5の204) に位相ロックされたクロック。修正されたデューティ・サイクル。

T x C l k : バスに示すような送信クロック。T x C l kはT C l kを90度だけ遅延させる (図5の203)。修正されたデューティ・サイクルではない。

T c l k : 送信クロックまわりに出力データを芯合わせするのを容易にする、T x C l kと直角位相のクロック信号。修正されたデューティ・サイクル。

t T R : クロック・サイクル・タイムによって分割された、T x C l kからR C l kへの時間遅延。この数値は、度数単位で位相値としても表現し得る。図1と同様のシステムにおいては、t T Rはバス上の装置の位置と直接的に関連させることができる。

スキップ回路 : 2つのクロックからt T R位相値を検知し、ラダー回路に制御信号を出力する回路。

クロック領域 : 特定の位相を有するクロックから作動しているすべての回路。フリップフロップおよびラッチがクロック-Xによって計時される回路は、「X-領域」にあると言える。

ラダー回路 : 受信クロック領域 (A領域) および送信クロック領域 (T領域) にデータを渡すタイミング同期化装置。

L a d d e r 0 : T C l kの立ち下がりエッジで作動してR C l k領域データを受け取る回路。

L a d d e r 1 : T C l kの立ち上がりエッジで作動してR C l k領域データを受け取る回路。

スキップ値 : 同期化装置回路のL a d d e r 0あるいはL a d d e r 1のいずれかを選ぶ、スキップ回路からの出力値。

R E T - F F : 立ち上がりエッジ・トリガ式フリップフロップ。たとえば、

クロックの立ち上がりエッジでのみその出力を変えることができるフリップフロップ。

FET-FF： 立ち下がりエッジ・トリガ式フリップフロップ。たとえば、クロックの立ち下がりエッジでのみその出力を変えることができるフリップフロップ。

待ち時間領域： 出力データが同じクロック・サイクル内で有効になる t_{TR} 値の範囲。

TCYCLE： クロック・サイクル・タイム。

【0014】

(同期化装置400の概観)

図10の同期化装置400は、クロック領域交差回路402、リタイミング・ラッチ308およびマルチプレクサ310とからなる。クロック領域交差回路では、データがRC1k領域からTC1k領域に調整される。クロック領域交差回路の背後にある基本的な観念は率直である。入力データは、少なくとも1つのクロック・サイクルの長さを保証される。このタイプの入力データを与えた場合、もしそれを立ち上がりエッジ、立ち下がりエッジ・トリガ式フリップフロップに供給されたならば、任意のオフセットした位相で、フリップフロップのうちの1つがこの入力データを正しくサンプリングすることができることになる。この概念が図7に示してある。当業者であれば、エッジトリガ式フリップフロップ回路が、セットアップ時間、ホールド時間(226、228)と呼ばれる入力安定性に必要な時間を持つことは理解できよう。これらの領域において、フリップフロップに入力データが移行する場合、その出力データは未知である可能性があるし、あるいは、入力の信頼性のない表現となる。逆に、入力が225および227を変えることが許されるときには、フリップフロップは大きい時間を持ち、出力についての変更はなんら生じない。領域225および227のオーバーラップ901を観察することによって、任意のオフセットした位相を有する入力データを与えた場合、もし1つのRET-FFおよび1つのFET-FFが402におけるように構成されているならば、2つのフリップフロップ・タイプのうち1つ(しばしば、これら両方)が有効なスイッチング領域において入力データを持って

与えられることになることは理解できよう。したがって、2つのフリップフロップのうち少なくとも1つは、たとえデータが他方のフリップフロップのセットアップ&ホールド領域に到着したとしても、入力データを正しく受信したことになる。次に、FET-FF307の出力がラッチ308（図10参照）を介してリタイムされ、マルチプレクサ310への両入力216および215が同じタイミング関係を持つ。この場合、出力は立ち上がりエッジベースとなるようにセットされる。別の実施例においては、負イネーブル・ラッチが代わりにRET-FF309の後に配置されるが、muxからの出力は立ち下がりエッジベースとなるであろう。mux310への入力を創作する2つのデータ経路はラダー回路と呼ばれる。これは、それらが実施するリタイミング機能が上流に向かって泳いでいる魚を助けるのに用いられる「フィッシュ・ラダー」と同様だからである。RET-FF309がLadder1を構成し、FET-FF307およびラッチ308がLadder0を構成する。

【0015】

（スキップ回路401の概観）

スキップ回路401の機能は、2つの入力クロック間の位相スキューを表す出力信号を生成することにある。それは、その決定において精密さ、精度の両方を持ってこれを行わなければならない。スキップ回路のブロック図が図25に示してある。このスキップ回路は、位相コンパレータ405、インテグレータ404、そして、ラッチ403を経てその出力を生成する。位相コンパレータは、1つのクロックをサンプリングすることによって得た入力位相を他方の位相と比較する（一実施例において、TxClkがRClkと共にサンプリングされる）。クロック・スキューが $0 < t_{TR} < 0.5$ （図8参照）である場合、位相コンパレータは0の出力を生成する。スキューが $0.5 < t_{TR} < 1.0$ である場合には、位相コンパレータは1の出力を生成する。位相コンパレータにとって、0の t_{TR} と1の t_{TR} との間、あるいは、0.25の t_{TR} と1.25の t_{TR} の間には差はない。すなわち、その動作は位相オフセットで循環する。位相コンパレータは非常に高いゲインを持つように設計されるので、その移行が可能な限り $t_{TR} = 0.5$ および $t_{TR} = 1$ に接近する。いずれかのクロックについてのジ

ッターの影響を除去するために、コンパレータの出力は、インテグレータ404に送られる。インテグレータは、任意普通の形態のものであってもよいが、積分値がアナログである場合、積分を中断させ、フルレール回答を確実にする入力L a t c h S k i p 219を含む。インテグレータは2つの目的を果す。まず、入力クロックについての任意のガウス・ジッター（ノイズ）分布の平均をとる。次に、 $t_{TR}=0.5$ 、1で、決定の際に任意の不確実性をさらに縮小させる。最後に、L a t c h S k i pの表明の際に、スキップ・ラッチ403を閉じる。このことは、多待ち時間動作へスキップ回路を適用する際に重要となり、これについては以下に説明する。

【0016】

（長バス動作を伴う同期化装置及びスキップ回路動作の概観）

同期化問題は、m u x 310を経由したL a d d e r 0、L a d d e r 1の適正な選択の1つになる。m u x 310のこの制御は、スキップ回路401で達成される。スキップ回路についての必要条件を理解するために、まず、任意の位相システムにおいて使われるときのラダー動作をさらに詳しく理解することが良いであろう。 t_{TR} が $T \times C1k$ 、 $RC1k$ 間の位相関係であることを想起されたい。クロックがデータと同じ方向に移動するバス付きシステム（たとえば、図1に示すもの）においては、データと共に移動しているクロックが有効データ・ウィンドウの中央に位置するエッジを有することがしばしば必要である。これは、DLLまたはPLLを通常伴う様々な技術を介して達成され得る。これは、 $T \times C1k$ と直角位相（90度移相）のクロックの創作に結果する。我々は、 $T \times C1k$ と直角位相のこのクロックを $TC1k$ と呼ぶことにする。このクロックは、出力データをタイムする最終出力ステージを計時するのに必要であり、 $T \times C1k$ は $TC1k$ を90度だけ遅らせる。

【0017】

図9において、ラダー回路の動作範囲は、X軸として t_{TR} と共に描写されている。この図を理解するために、X軸が時間ではないということを認識することが重要である。それは、 t_{TR} 、すなわち、 $T \times C1k$ と $RC1k$ の間の標準化遅延差である。こう理解すればわかるように、L a d d e r 0の動作範囲232

は1つのサイクル・タイムに接近しており、事実、TCYCLE（フリップフロップ307のセットアップ+ホールド・タイム）に等しい。また、範囲232つの配置が（-0.25+ホールド）で開始し、（0.75-セットアップ）で終了することもわかる。-0.25、0.75で開始し、終了し、0、1ではない理由は、ラダー回路についてTC1kを使用しているからである。TC1kは、tTRを特定するのに用いられるTxClkと直角位相である。

【0018】

図9においてLadder0（232）、Ladder1（231）の最初の有効稼働範囲を見るとわかるように、これらはオーバーラップしている。このオーバーラップの中心は正確に $tTR=0.5$ で生じる。それ故、これは、Ladder0の選択からLadder1の選択までスキップ回路が変化する理想的な位置である。この位置は、いずれのラダー回路におけるいずれの障害ポイントからも最大のマージンを提供することになる。次に、有効作動範囲を超えて押されたときにラダーに生じるものを観察されたい。Ladder0範囲232、233を観測することによってわかるように、 $tTR=0.75$ の直前で、有効データ・ウインドウを越えて通過する入力データにより、Ladder0が作動を停止するが、 $tTR=0.75$ を越えてすぐに再び機能を開始する。作動範囲233において、Ladder0の出力がサイクル全体を動かしている。すなわち、範囲233におけるLadder0からの出力は、範囲232におけるその動作に対して1つの付加的な待ち時間サイクルを持つことになり、待ち時間領域2にあると言える（図4も参照）。クロックスキューが限界を越えて押される場合、両方のラダー回路、実際に任意の同期化回路がこの動作を呈することになる。これらの異なる待ち時間領域の制御は本発明の重要な革新である。

【0019】

範囲232、233では1、2つの待ち時間でLadder0が作動するが、範囲231、234ではLadder1が作動する。ここで、スキップ230を用いて0.5のtTRでLadder0、Ladder1のどちらかをシームレスに選ぶということを想起されたい。スキップは、1.0のtTRでLadder1からLadder0へ移行するのにも使用される。0.5のtTRでのスキ

ップ移行は出力では決して見えなかった（すなわち、図4の信号236, 237、238が同一である）が、出力236-238は出力239と全く異なっている。238および239は同じ1.0のtTRに示されているが、出力238はskip=1を有すし、出力239が0へセットバックされたスキップを有するときには、付加的な待ち時間サイクルが出力データに加えられる。

【0020】

再同期化回路が図1と同様にバス付き装置からなるシステムにおいて使用することができるので、装置が偶然まさに待ち時間境界に置かれた場合に、これらの装置がその出力データの待ち時間を変えないということは重要である。スキップ・ラッチ403（図25）は、初期化期間後に、スキップの値が確実にラッチされ、もはや変化できないようにするのに用いられる。これは、回路がL a t c h S k i p 219の再表明によってリセットされない限り、出力待ち時間が変わらないということを保証する。L a t c h S k i pの不表明後、出力データ待ち時間は変化しないことが保証され得る。フェイルセーフ動作は、同期化装置400における同期障害ならびに安定した出力待ち時間を必要としない。

【0021】

しかしながら、これは、スキップ回路移行が精密さおよび精度を持って配置され、同期化回路が正確な配置であり、不感帯が少なく、そして、任意の電圧、温度シフトを横切つての運動が最小でラダーを有することを要求する。スキップ位置になんらかの不正確さがあつたり、有効ラダー動作の限界がある場合、スキップ回路が有効稼働範囲を超えて押されるラダー回路を選択するならば、潜在的な作動周波数、作動温度範囲あるいは作動電圧を制限することになる。本発明は、フェイルセーフ動作にとって可能な限り最小限の待ち時間で、温度、電圧変動にわたって最高の作動周波数において同期化を行う必要条件を達成する。

【0022】

(L a t c h S k i p 生成の概観)

或るシステムで同期化装置およびスキップ回路を使用するには、スキップ回路401の出力を凍結する制御信号（L a t c h S k i p 219と呼ぶ（図25参照））が必要である。この信号の表明により、スキップ値がサンプリングされ、

スキップ回路401のラッチ403内に保持される。複数のクロック・サイクルをまたいで作動するシステムにおいてこの同期化装置を使用しようとする場合、この機能は、通常、初期化中に行われ、その後に、同期化回路の出力を使うことができる。これにより、異なる待ち時間を有する出力の可能性を避けることができる。

【0023】

この機能を成し遂げるためにL a t c h S k i p 2 1 9を生成する可能性のある方法は多数ある。リセットされた装置を通じてそれを表明するだけでよい。リセットが表明されていないときには、スキップ出力がラッチされ、装置がリセットされない限り、出力待ち時間が固定されることになる。L a t c h S k i p 2 1 9を生成する多の方法もいくつかある。使用前に装置をセットアップするのに必要な初期化パケットがあることも多い。この場合、L a t c h S k i pはこれらのセットアップ・パケットの1つを受け取るのに用いられるストローブによって生成することができる。セットアップ・パケットがL a t c h S k i p 2 1 9を表明することを確実にすることによって、スキップ出力が安定した後に、同期化回路が実際に使用されて出力データをリタイムすることが保証され得る。あるいは、装置内のレジスタあるいはモード・ビットも、L a t c h S k i p 2 1 9のストロービングを制御することができる。レジスタ制御を他の技術と組み合わせることによって、装置リセットを必要とすることなく後のスキップ評価およびラッチの融通性が可能となる。

【0024】

(多数の動作周波数の概観)

いくつかの用途において、システムが多数の異なった動作周波数で作動することができることが望ましいかも知れない。このことは、異なったパワー・モードに適応するように行われ、ハイパワー回路を使用禁止にすることによってより低い周波数でより低いパワーを得ることができる。このような用途においては、多数のスキップ値（各動作周波数に対して1つずつ）を維持することが望ましいかも知れない。この場合、多数のスキップ・ラッチおよび多数のL a t c h S k i p信号を、図26に示すように使用することができる。このシステムにおいては

、初期化は、個別のスキップ・ラッチにラッチする前に各動作周波数で位相コンパレータおよびインテグレータの評価を行うことを含むであろう。次に対応するラッチ出力を使用するだけで現在の動作周波数についての適切なスキップ値を選ぶことができる。

【0025】

(同期化回路400の詳細)

タイミング同期化装置は、2つの任意位相のメソクロナス・クロック領域の順序回路間でデータのやり取りをする。同期化装置は、フェイルセーフで、すなわち、準安定性およびタイミング・グリッチなしに、そして、1つのクロック領域の回路から別のクロック領域の回路までの待ち時間を最小限に抑えながら、信号をリタイムすることを確実にする。それに加えて、図1に示すようなバス・システム上で出力データ伝送をタイムするのに使用されるとき、同期化装置は出力データをタイムし、したがって、出力データは或る特定のサイクル内で宛先に到着する。

【0026】

タイミング同期化装置の好ましい実施例が図10に示してある。この回路は、Rc1kフリップフロップ306、Tc1kフリップフロップ307、309、Tc1kラッチ308およびマルチプレクサ310からなる。この同期化装置は、2つの信号経路、すなわち、ラダー回路(Ladder0、Ladder1)に仕切り、各々がそれ自身の待ち時間特性を有するものであってもよい。データは、ノード217、603、214、216を経由してLadder0を通して伝播し、また、データは、ノード217、603、215を経由してLadder1を通して伝播する。図11は、 $t_{TR}=0.0$ についてのノード215および216での代表的な出力を示している。(ここで、TxClkがTClkを90度位相だけ遅らせることに注意されたい)。この t_{TR} で、Ladder0の出力はLadder1よりも1クロック・サイクル分遅い。この結果は、代表的には、 $t_{TR}=-0.25\sim 0.25$ となる。 $t_{TR}=0.25\sim 0.75$ の場合、Ladder0およびLadder1の出力は、同一であり、図12に示すように、同期化装置のオーバーラップ領域を示している。 $t_{TR}=0.75\sim 1$

25では、同期化装置出力（図13参照）は、図11における相対的なラダー回路出力位置に通じる次のサイクルへ移動している。したがって、この動作は、TCYCLEと共に循環する。

【0027】

同期化装置400の回路動作において、フリップフロップ306はすべてのRClkサイクルで入力DataIn217をサンプリングし、1つのクロック・サイクル（図11参照）について出力803を有効に保つ。各クロック・サイクルの初めで、ノード603のところで値はDataIn217に依存して移行し得る。この移行期間中、データはエッジ・トリガ式フリップフロップによって確実にサンプリングされ得ない。TClkフリップフロップ307、309がそれぞれTClkの立ち下がりエッジ、立ち上がりエッジ上でデータをサンプリングするので、これら2つのフリップフロップのうち少なくとも1つは、変化していないときにノード603からデータをサンプリングすることを保証される。これは、フェイルセーフ・データ再同期化にとって必要である。tTRのたいていの範囲について、Tclkサンプリング・エッジのいずれもがノード603のデータ移行付近になく、両ラダー回路は正しい値をキャプチャすることになる。しかしながら、tTRの値が変化するにつれて、ノード216でのLadder0からの出力は、おそらくゼロか、あるいは、ノード215でのLadder1からの出力よりも1サイクル分遅い。

【0028】

各ラダー回路は、準安定性での問題に遭遇することなく或る特定の動作tTR範囲を通じて作動する。各ラダー回路が作動する有効tTR範囲は、或る特定のTClkサンプリング・エッジ212がValid Dataウインドウ803内に低下する範囲によって、決定される。たとえば、tTR値が0.25である場合（図12に関して、RClk211、DataIn217およびValid

Data603は90度だけより早くシフトされなければならない）TClkのサンプリング立ち上がりエッジはValid Data603のテイル部分と整合する。tTRが0.25より大きい場合には、RClk211、DataIn217およびValid Data603は時間的により遅くシフトし、最終

的に、TC1kのサンプリング立ち上がりエッジが $t_{TR}=1.25$ でValid Data 603の開始部分と整合する。Valid Data ウィンドウ603の中心613がラダー回路のサンプリングTC1kエッジと整合したとき、各ラダー回路の作動範囲の中心が生じる。Valid Data Center 613が図12と同様に2つのサンプリングTC1kエッジから等距離のとき、2つのラダー回路間のオーバーラップの中心が生じる。

【0029】

図14の領域(a)は、同期化装置回路対 t_{TR} 位相値における2つのラダー回路の作動範囲を示す。(図1に示すようなバス/チャネルについての装置のコンテキストにおいて、或る特定の t_{TR} 値は、バス上の位置のインジケータとして解釈することができる。)先の段落で説明したように、Ladder 0は、理想的には、 $-0.25 \sim 0.75$ の t_{TR} 範囲(図14(a)/622参照)について作動する。同様に、Ladder 1は、 $0.25 \sim 1.25$ の t_{TR} 範囲(図14(a)/622参照)について理想的に作動する。ラダー回路621、622間のオーバーラップ・ウィンドウは、Ladder 1、Ladder 0の出力が同じである領域を示している。Ladder 0 623は、Ladder 0 621と同様である。しかしながら、その出力は、時間的に1サイクル分遅くシフトされている。図14の領域(a)に示される各ラダー回路の端は、特定のラダー回路が信頼できなくなる t_{TR} 作動範囲を示している。

【0030】

適切な動作は、ラダー回路の端を避けるはずである。したがって、理想的な構成要素でも、Ladder 0 621は、 $t_{TR}=-0.25$ および $t_{TR}=0.75$ のところを除いて、全範囲について使用することができる。Ladder 1 622は、 $t_{TR}=0.25$ 、 $t_{TR}=1.25$ のところを除いて、全範囲について使用できる。オーバーラップ領域において、Ladder 0あるいはLadder 1を使用し得る。最適なフェイルセーフ動作のために、マルチプレクサ310(図10)は、現ラダー回路の終わりに達する前に他のラダー回路を選ばなければならない。したがって、最適muxセレクト0 \sim 1移行は $t_{TR}=0.5$ のところでなければならず、最適muxセレクト1 \sim 0移行は $t_{TR}=1.0$

のところでなければならない。t T R リーフを通じたm u x セレクト値のこの配置は、非理想的なラダー回路のタイミング・エラーについて等量のマージンを残す。これらのエラーは、次のセクションにおいて説明する。注意すべき重要なポイントは、同期化装置に対する入力クロックが周期的であり、したがって、同期化装置特性がt T R スペースで反復するということである。

【0031】

同期化装置の実際的な実施は、図14の領域(a)と完全に一致しないラダー回路を生成する。図14の領域(a)における各ラダー回路は、t T R 範囲の理論的なフル・クロック・サイクルをまたぎ、そして、ラダー回路オーバーラップの半サイクルに結果する。しかしながら、実際問題として、同期化装置は回路欠陥によりオーバーラップ・マージンが少ない。これらの欠陥は、図14の領域(b)に示すようにシフティング・ラダー回路アラインメントの形を取り、図15に示すようにラダー回路を狭くする。したがって、ラダー回路は、各々、1クロック・サイクル分より短くまたがり、オーバーラップ領域は半クロック・サイクルよりも短くまたがり、ラダー回路位置は理想的なケースからシフトされる可能性がある。

【0032】

クロック領域交差の分析はこれらのエラーのソースを示す。図10におけるフリップフロップ306、307間の信号流の検査はタイミング・エラーのいくつかを最も良く示す。理想的な場合には、すべてのフリップフロップはゼロのsetup-or-hold必要条件を有する。そして、clock-to-data-out遅延はない。我々の実例においては、R C l k フリップフロップ306は、波形702(図16参照)によって示すように、clk-to-data-out遅延を持っていない。波形704、705は、T C l k フリップフロップ307についてゼロのセットアップ、ホールドを示している。図16の理想的な回路要素は、1クロック・サイクルの長いラダー回路スパンに結果し、対称的なオーバーラップ領域がスパンの両端でL a d d e r 0、L a d d e r 1間にある。

【0033】

実際のフリップフロップも同様に実行しない。図17および図18は、それぞれ

れ、代表的なおよび遅い性能状態についてのフリップフロップ306、307（図10に示す）の波形を示している。様々な回路性能は、実際のシステムの様々な集積回路トランジスタ・プロセス、電源電圧および動作温度による。ラダー回路位置シフトは、フリップフロップ306のclock-to-data-out遅延変動およびフリップフロップ307のsetup/hold変動によって生じる。これらの変動は、図16に示す理想的なケースにおける R_{clk} 、 T_{clk} （したがって、有効な t_{TR} ）をシフトすることに等しい。集積回路内における T_{clk} 、 R_{clk} の任意のミスマッチのクロック・バッファリングは付加的なラダー回路シフトに影響する。

【0034】

ラダー回路シフトの他に、別のエラー・ソースがラダー回路の有効動作領域を狭くする。この狭くするということは、回路306のデータ移行時間717およびフリップフロップ307のセットアップ714/724、ホールド715/725によって生じる。この期間内で、信号803のキャプチャは信頼性がなく、間違ったデータを招く可能性がある。クロック・ジッターもまたクロックに移相を強要することによってラダー回路を狭くする。クロック・ジッターは、セットアップ、ホールドおよびclock-to-data-out 718/728の変動によって生じた不確実性領域に加わる。同様の分析が、フリップフロップ306、309間のクロック領域境界にも当てはまる。

【0035】

同期化装置の回路具体例は、種々のプロセス、電圧および温度条件を通じて最大のタイミング・マージンについて上述のラダー回路シフトおよび縮小と取り組む。一実施例の部分的な回路図が図19に示してある。この回路は、ラダー回路シフト、縮小のソースに、遅延補償およびより速い回路性能と共に取り組む。ラダー回路シフティングを最小にするために、予充電されたセンス増幅器が、第2ステージ・フリップフロップについて使用される。計時されたセンス増幅器ラッチ遅延は、ほぼ先のステージ・ラッチのclock-to-data-out遅延と共に変化する。それにより、より遅いトランジスタ性能条件においては、計時されたセンス増幅器はそのサンプリング・ポイントを遅らせ、ノード806およびLadder

17で加算されたclock-to-data-out遅延を補正することになる。シングル・エンデッド信号603の代わりに微分信号808、807を使用することによって、センス増幅器ゲインを増大させ、フリップフロップ307、309のセットアップおよびホールドを低下させることができる。

【0036】

図10に示す同期化装置回路は、RC1k831/830の立ち下がりエッジおよびTC1k808/809の立ち上がり、立ち下がりエッジを使用してオーバーラップするLadder0、Ladder1を生成する。この構成は、立ち上がりエッジ・トリガ出力を生成する。立ち下がりエッジ駆動のシーケンシャル論理システムのための別の実施例において、我々はすべてのシーケンシャル要素のサンプリング・エッジの極性を反転させ、適正な動作を達成することができた。あるいは、同期化装置はTclkの1つのサンプリング・エッジと共にRC1kの立ち上がり、立ち下がりエッジを使用してもよい。この実施例が図20に示してある。クロック領域交差を達成するのに用いる基本的前提は、1つのクロック領域の異なった位相で計時されて他の領域にデータを送る回路を使用することである。その最終結果は、図14に示すものと同様のオーバーラップ・ラダー回路である。

【0037】

タイミング同期化装置の他の実施例が図21に示してあり、これは、4つのオーバーラップしているラダー回路961/971、962/972、963/973および964/974からなる。その結果生じたラダー回路範囲は、図22でtTR値に対して示してある。我々は、各ラダー間の理想的なオーバーラップが3/4TCYCLEであることに注意しなければならない。これにより、狭くなって、ラダー回路シフト、縮小およびMux979セレクト制御におけるエラーについてのかなり多くのマージンを可能とする。この実施例は、同期化問題を4つの個別のラダー回路に分割している。この概念をさらに採用する場合、任意数のラダー回路（2以上）を使用することができ、理想的なオーバーラップ・マージンは、

$$T_{\text{overlap}} = T_{\text{cycle}} \frac{\text{num}(\text{ladders}) - 1}{\text{num}(\text{ladders})}$$

である。上記の式は、オーバーラップ・マージンの増大を抑え、ラダー回路数を増加させることを示している。また、ラダー回路の数が増加すると、より多数の `mux` セレクト制御が必要である。

【0038】

同期化装置の異なる実施例が図23に示してある。この同期化装置は、「混合された」クロック `IntClk1005` の使用でデータを再編成する。混合されたクロックは、図24に示すように `RClk`、`TClk` 間の途中にある位相を有する。同期化装置は、それぞれ、`RClk1002`、`IntClk1005` および `TClk1008` によって計時される3つ順次に接続されるラッチ `1003`、`1006`、`1009` を包含する。

【0039】

ノード `1004` は、`RClk` 有効データを表している。この有効データは、`t` `TR` が増大するにつれて `TClk` に対して位相を遅らせて移動する。この同期化装置回路は、0～1の全 `t` `TR` 範囲にわたって `TClk` に対して `Data Out` `t/1010` の出力遅延を保存する。`t` `TR` = 0で、入力クロック `RClk`、`TClk` は整合し、同期化装置は回路を通じて3つのクロック・サイクル遅延を有する。`t` `TR` が増大するにつれて、`RClk/1002` および `Valid Data` `t/1004` が `TClk` を遅らせ、同期化装置回路の待ち時間が減少して `TClk` に対して `RClk` の増大する遅延を補償する。したがって、`RClk` 有効データ `1004` が1つのクロック・サイクル分まで遅らされたときでも、`Data Out` `1010` は同じ `TClk` エッジによってキャプチャされる。

【0040】

この同期化装置にとって必要な入力は、`RClk1002`、`IntClk1005`、`TClk1008` および `RClk` 領域 `Data In` `1001` である。外部のマルチプレクサ・セレクト・ジェネレータは不要である。好ましい実施例において、`IntClk1005` が位相補間回路またはミキサ回路 `1007` によって生成される。

【0041】(スキップ回路401の詳細)

スキップ回路401 (図25参照) は、位相コンパレータ405、インテグレート404、ラッチ403からなる。スキップ回路の目的は、最小幅不確実性領域で t_{TR} の非常に正確な測定値を生成することである。また、初期化後に出力値をラッチし、 t_{TR} が待ち時間領域境界付近にある場合に多数の動作待ち時間の可能性を排除する能力も提供する。

【0042】

最小限の不確実性でもって正確な測定値を得るために、図27に示すの位相コンパレータの好ましい実施例が使用される。この位相コンパレータは、バス・データをサンプリングするのに使用される同じタイプの高ゲイン・狭不確実性ウィンドウ・データ・レシーバを含む。好ましい実施例においては、これらは、 $RC1k$ と整合した DLL または PLL と一緒に使用され、したがって、任意のレシーバ・セットアップ+ホールド・タイムが除かれる。データ・レシーバを使用して外部信号 $TxC1k$ をサンプリングすることは内部クロックをサンプリングすることを通して2つの利点を有する。まず、内部クロックが多く理由のためにクロック復元回路によってスキューされる可能性があるので、バス位置の最も正確な測定値を与えるということである。次に、利用できる送信領域位相情報の最も低いジッター・ソースを提供するということである。 DLL または PLL で復元された任意のクロック (たとえば $TC1k$) は、必然的に入力クロックのところよりも高いジッターを有することになる。

【0043】

理想的な場合、単純な FET (立ち下がりエッジ・トリガ式) データ・レシーバを使用して位相コンパレータ出力を生成することができた。しかしながら、高速で移動しているクロックはデューティサイクルひずみを受けやすいので、デューティサイクル補正式クロック (図28参照) によって計時されながらデューティサイクルひずみのあるクロックをサンプリングする場合、この様式で使用する単一データ・レシーバは t_{TR} の値を間違えて決定する可能性があった。 $RC1k$ がその対応するバス・クロックの立ち下がりエッジにロックする場合

には、50%より小さい T_{xClk} デューティサイクル248は、FET位相コンパレータに0.5より大きい t_{TR} のところに $t_{TR}=0.5$ 移行を不正に置かせることになる。同様に、 T_{xClk} デューティサイクルが50%より249である場合、コンパレータは0.5より低い t_{TR} のところに $t_{TR}=0.5$ 移行を誤って置くことになる。インバータ412と共にRC1kの立ち上がりエッジで計時される図27の付加的なデータ-レシーバ408を使用すると、この問題を避けることができる。単一の立ち上がりエッジが T_{xClk} のタイムシフトとされた立ち上がりエッジにより間違った上方を提供する0.5の t_{TR} 付近では、RC1kの立ち上がりエッジは T_{xClk} の立ち上がりエッジ付近にあることになる。マルチプレクサ410およびフリップフロップ411を使用して T_{xClk} の立ち上がりエッジをサンプリングするのに最も近いデータ・レシーバを選ぶことによって、位相コンパレータは、 T_{xClk} について非50%デューティサイクルを大目に見ることができる。これは、RC1k立ち上がりエッジ253、RC1k立ち下がりエッジ252両方の時点で波形248、249、251の異なった特性を観察することによって、より容易に理解することができる。したがって、図27の好ましい実施例は、TC1kおよびRC1kのおおざっぱな比較を行い、制御信号、SelEven247を生成するのにフリップフロップ411を使用する。この制御信号は、マルチプレクサ410によって使用され、 $-0.25 < t_{TR} < 0.25$ についてはFETレシーバ409を選び、 $0.25 < t_{TR} < 0.75$ についてはRETレシーバ408を選ぶ。たいていの場合、出力245、246が同一であるから、SelEvenの正確な t_{TR} 位置決めは重要ではない。したがって、この好ましい実施例は、潜在的にデューティサイクルひずみのあるクロックをデューティサイクル訂正済みのクロックと比較し、立ち上がりエッジのみを測定することによって位相比較において高精度を維持することができる。別の実施例において、インバータは移動させ、マルチプレクサ制御を切り替えて、同じ効果をもって T_{xClk} の立ち上がりエッジと比較することができる。

【0044】

位相コンパレータ405の別の実施例は直角位相検出器を使用してRC1k、

T C 1 kを比較する。直角位相検出器は、クロックが直角位相のときにそれを示す出力を有する。これは、T C 1 kに対して直角位相であるクロックを使用する必要性を除き、組み合わせ式システムに2つのクロックのみを使用させ得る。

【0045】

スキップ回路インテグレータ404は標準のインテグレータからなる。このインテグレータは、ジッター分布（たとえば、ガウス分布）によって創作された不確実性ウインドウを狭くするのに役立つ。任意のクロックが、位相の分布として現れる或る量のランダム・ノイズを有することになる。位相コンパレータの出力にインテグレータを使用することによって、信号243の移行がT x C 1 k 2 2 0、R C 1 k 2 1 1両方のジッター分布の平均ポイントに最も近くなるのが確実になる。その一方で、任意の単一時点で、生の位相コンパレータ出力242がクロック・ジッター分布の極値を比較する結果となり得る。

【0046】

図29に示すインテグレータ404の好ましい実施例はアナログ・インテグレータであり、上下にステアされた電流ソースをコンデンサ417、436に送る。これが、出力ノード243、270に微分電圧を創り出す。これらの電流のステアリングは、コンパレータ出力242によって駆動されるスイッチによって制御される。好ましい実施例においては、クロックが安定した後、少なくとも40サイクルにわたってインテグレータが作動してクロック入力の適切なガウス分布を確実にすることができる。この時間後、L a t c h S k i p 2 1 9信号がインテグレータ、スキップ・ラッチ403の両方に対して表明され、積分を停止させる。インテグレータがアナログである場合、この信号は高ゲイン・センス増幅器415も表明する。L a t c h S k i p 2 1 9はスキップ・ラッチ403も閉ざし、したがって、スキップ回路出力は、L a t c h S k i p 2 1 9が再表明されない限り、変化することはない。

【0047】

(同期化装置400およびスキップ回路401の複合動作の詳細)

同期化装置400およびスキップ回路401は、同期システムを構成している。両方の要素は、好ましい実施例では、2つのメソクロナス・クロック領域間で

データを適切に同期化するため必要である。本発明は、1) 高動作周波数、次に、2) フェイルセーフ動作を維持しながらの低待ち時間を可能にする。

フェイルセーフ動作を達成するために、同期化装置は入来するデータを適切に送り、リタイムすること両方を失敗してはならない。最も重要な失敗のメカニズムは、現在の動作条件 (t_{TR} 、電圧、温度) について不適切なラダーを使用した場合である。これは、本発明が最小限に抑えるエラー・ソースにより生じる可能性がある。多数の可能性のあるエラー・ソースは、システムのサイクル・タイムを制限する式で生じる。可能性のあるエラー・ソースとしては次のものがある。

【0048】

1. ラダー回路範囲の絶対的配置のエラー

これは、その障害ポイントにより近いラダー回路を選ぶスキップ回路に結果する可能性がある。それは、また、最適とは言えないラダー回路オーバーラップ領域にも結果する可能性がある。

2. 動作環境 (たとえば、V_{dd}、温度) の変化によるラダー回路のシフティング

作動中のラダー回路シフトを最小限に抑えて、機能的ラダー回路範囲が現在作動している t_{TR} を通らないようにしなければならない。

3. ラダー回路不感帯

フリップフロップ・セットアップ&ホールド不確実性領域によって生じるラダー回路不感帯は、データ再同期化用のタイミング・バジェットから直接減ずる。クロック・ジッターも、ラダー回路範囲をシフトするのに役立ち得る。

4. スキップ精度

スキップ移行の絶対配置におけるエラーは、1項と同様に、その障害ポイントにより近いラダー回路を選ぶということに結果する可能性がある。

5. スキップ不確実性

スキップにおける大きな不確実性ウインドウは、スキップがその障害ポイントにより近いラダー回路を選ぶ可能性があることを意味する。

両方の回路の好ましい実施例は、可能性のあるエラー・ソースの各々を最小限

に抑え、最大のフェイルセーフ動作周波数を与える。上記のリストに示すエラー・ソースは、フェイルセーフ動作を行うために維持されなければならない式に至る。この式は、システムの最小限のサイクル時間制限を表している。

$$\frac{T_{cycle}}{4} \geq \left(\frac{T_{Setup} + T_{Hold}}{4} \right) + Error_{Ladder} + Error_{Skip} + Movement_{Ladder}$$

【0049】

好ましい実施例は、 $t_{TR}=1$ にスキップ移行を配置する。先に説明したように、この移行の配置は第1の待ち時間領域の境界をセットする。別の実施例では、 $RC1k$ または $T \times C1k / TC1k$ は一定の時間または位相遅れだけより早くあるいはより遅くシフトすることができ、それによって、第1の待ち時間領域境界が1以外の t_{TR} で生じ得る。同期化装置400およびスキップ回路401の両方が始動基準として $RC1k$ を使用するので、両方の回路は一緒にシフトすることになる。すべての待ち時間領域は1サイクル幅広く残るので、すべての境界端も同様に移動することになる。

【0050】

遅延要素をなんら必要としないこの性質の別の実施例は、立ち下がりエッジ・トリガ式フリップフロップ306の代わりに立ち上がりエッジ・トリガ式フリップフロップで図10のR領域データを受信し、スキップの値は通常の実施例のスキップ値から反転させられる。これらの2つの変化をなすことによって、回路は $-0.5 < t_{TR} < 0.5$ へ第1の待ち時間領域範囲を移動させ、 $0.5 < t_{TR} < 1.5$ へ第2の範囲を移動させる。領域スタートの開始点および終了点のおおざっぱな調整が望ましい場合には、これが行われる可能性がある。

【0051】

したがって、同期化装置とスキップ回路の組み合わせは、図1のそのようなメソクロナス・システムについての高周波フェイルセーフ同期化を行う。任意の位相遅れの可能性があり、フェイルセーフ待ち時間は最小にされ、出力待ち時間は回路動作ポイントにおける変化にもかかわらず一定に保たれる。

【0052】

(多数の動作周波数)

スキップの再評価を必要とすることなく多数の動作周波数間でのスイッチングを行うためには、スキップ回路 430 の代替実施例が図 26 に示すように使用され得る。本実施例においては、図 25 の単一のスキップ・ラッチ 403 が、多数のスキップ・ラッチ 431 ~ 433 と取り替えられている。それに加えて、図 25 の単一の `LatchSkip` 信号 219 が、`LatchSkip_F1` ~ `LatchSkip_Fn` 260 ~ 285 と取り替えられている。各所望の動作周波数について 1 つのラッチと 1 つの `LatchSkip` 信号がある。

【0053】

この実施例の動作は次の通りである。初期化時に、所望動作周波数の各々が選ばれ、初期化される。この初期化中、新しい周波数でのクロックの安定化後、適切な `LatchSkip_Fx` 信号が、先に説明した技術の 1 つを使用して表明される。すべての周波数初期化された後、各所望周波数でのスキップに対する正しい値がそれぞれのスキップ・ラッチ 431 ~ 433 に記憶される。次に、装置はスキップ回路が再評価するのを待つことなく、現在の作動周波数に依存して適切なスキップ値を簡単に選ぶことができる。多重化回路が、図 10 のスキップ入力 213 に選択したスキップ・ラッチを接続してもよい。

【図面の簡単な説明】

【図 1】

図 1 は、データと共に送られるクロックを含むシステムの線図である。

【図 2】

図 2 は、Gasbarro 等の同期化回路の線図である。

【図 3】

図 3 は、Portmann 等の同期化回路の線図である。

【図 4】

図 4 は、混合待ち時間領域の線図である。

【図 5】

図 5 は、クロック関係の線図である。

【図 6】

図 6 は、再同期化システムの好ましい実施例のブロック図である。

【図 7】

図 7 は、入力ウィンドウ、RET-FF/FET-FF の線図である。

【図 8】

図 8 は、コンパレータ特性の線図である。

【図 9】

図 9 は、ラダー回路範囲の線図である。

【図 10】

図 10 は、同期化回路の線図である。

【図 11】

図 11 は、 $t_{TR}=0.0$ での同期化装置タイミングの線図である。

【図 12】

図 12 は、 $t_{TR}=0.5$ での同期化装置タイミングの線図である。

【図 13】

図 13 は、での同期化装置タイミングの線図である。

【図 14】

図 14 は、同期化装置回路変動によるシフティング用ラダー回路の線図である。

。

【図 15】

図 15 は、回路不感帯による縮小用ラダー回路の線図である。

【図 16】

図 16 は、ラダー回路シフト、縮小ソース（理想的な要素）の線図である。

【図 17】

図 17 は、ラダー回路シフト、縮小ソース（代表的な要素）の線図である。

【図 18】

図 18 は、ラダー回路シフト、縮小ソース（遅い要素）の線図である。

【図 19】

図 19 は、同期化装置部分実施例の線図である。

【図 20】

図 20 は、別の同期化装置の線図である。

【図 2 1】

図 2 1 は、4 位相同期化装置の線図である。

【図 2 2】

図 2 2 は、4 位相ラダー回路 $t T_r$ の線図である。

【図 2 3】

図 2 3 は、混合ラダー回路同期化装置の線図である。

【図 2 4】

図 2 4 は、混合ラダー回路同期化装置クロック・タイミングの線図である。

【図 2 5】

図 2 5 は、スキップ回路実施例の線図である。

【図 2 6】

図 2 6 は、別のスキップ回路実施例の線図である。

【図 2 7】

図 2 7 は、位相コンパレータ実施例の線図である。

【図 2 8】

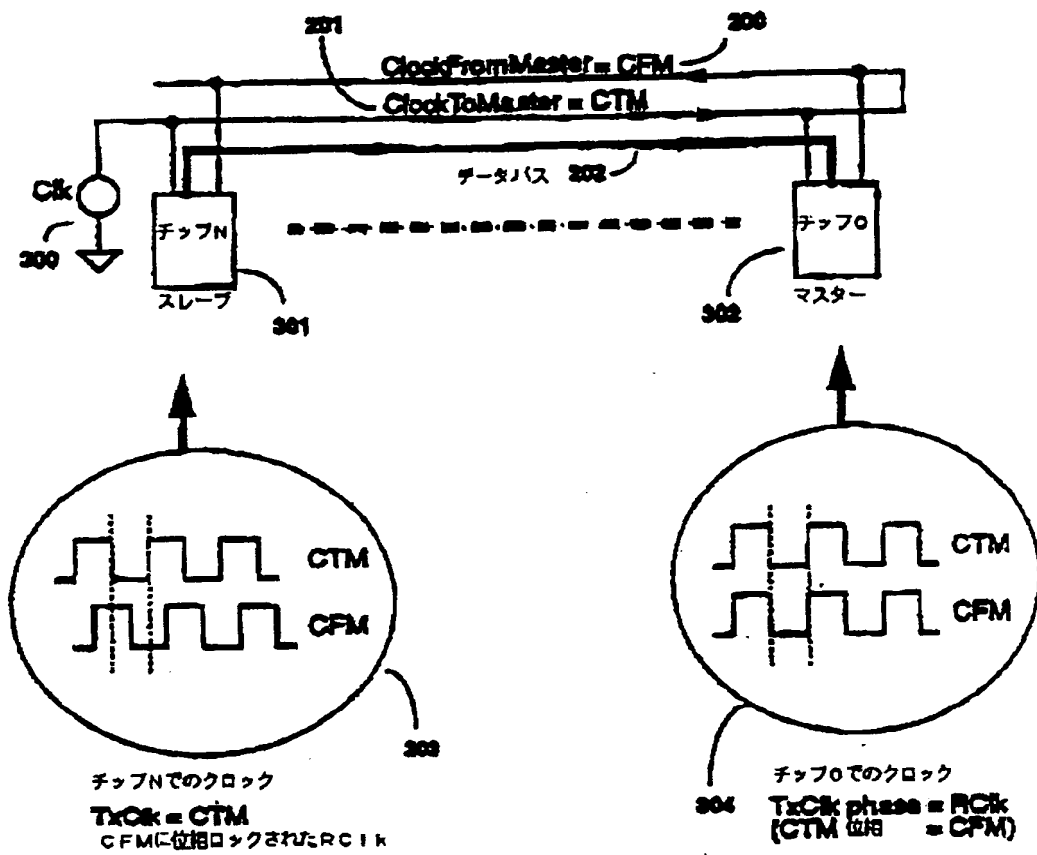
図 2 8 は、 $T_x C l k$ デューティ・サイクル・エラーに対する位相コンパレータ応答の線図である。

【図 2 9】

図 2 9 は、インテグレータ実施例の線図である。

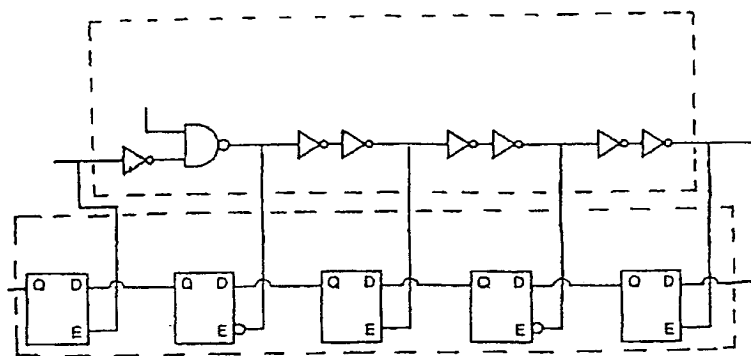
【図1】

FIG 1



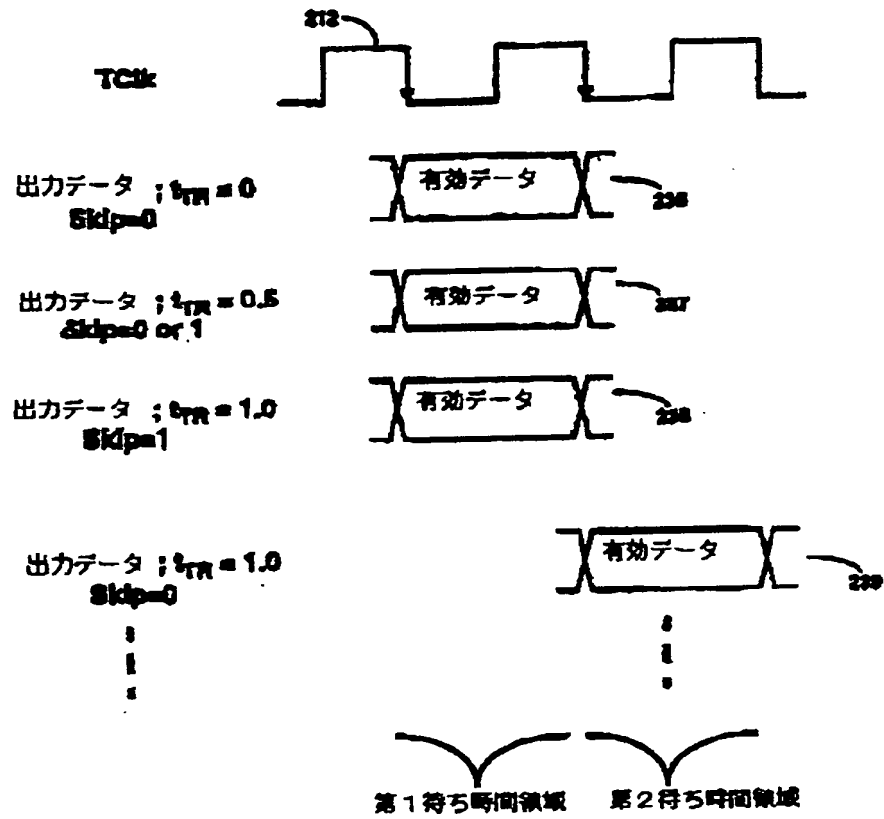
【図 3】

FIG 3



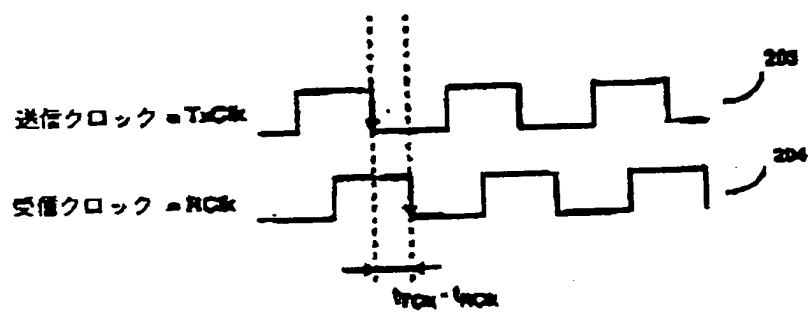
【図 4】

FIG 4

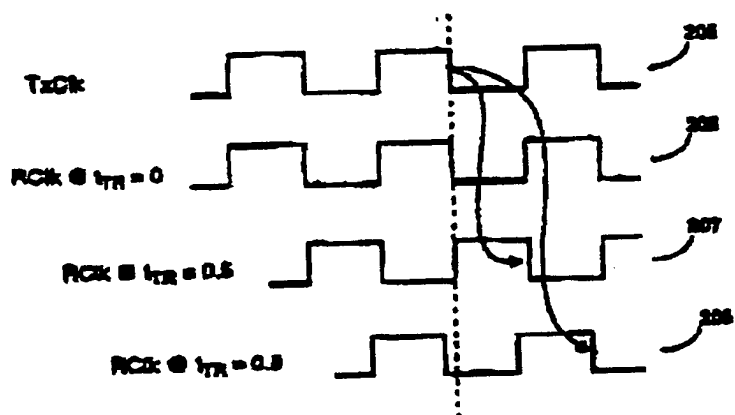


【図5】

FIG 5

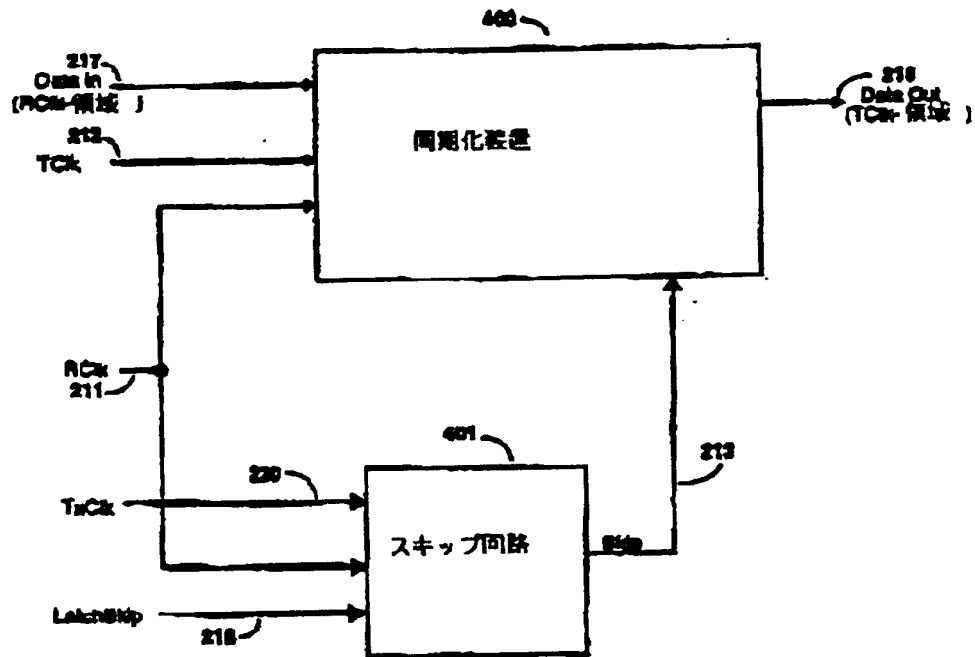


tTR例:



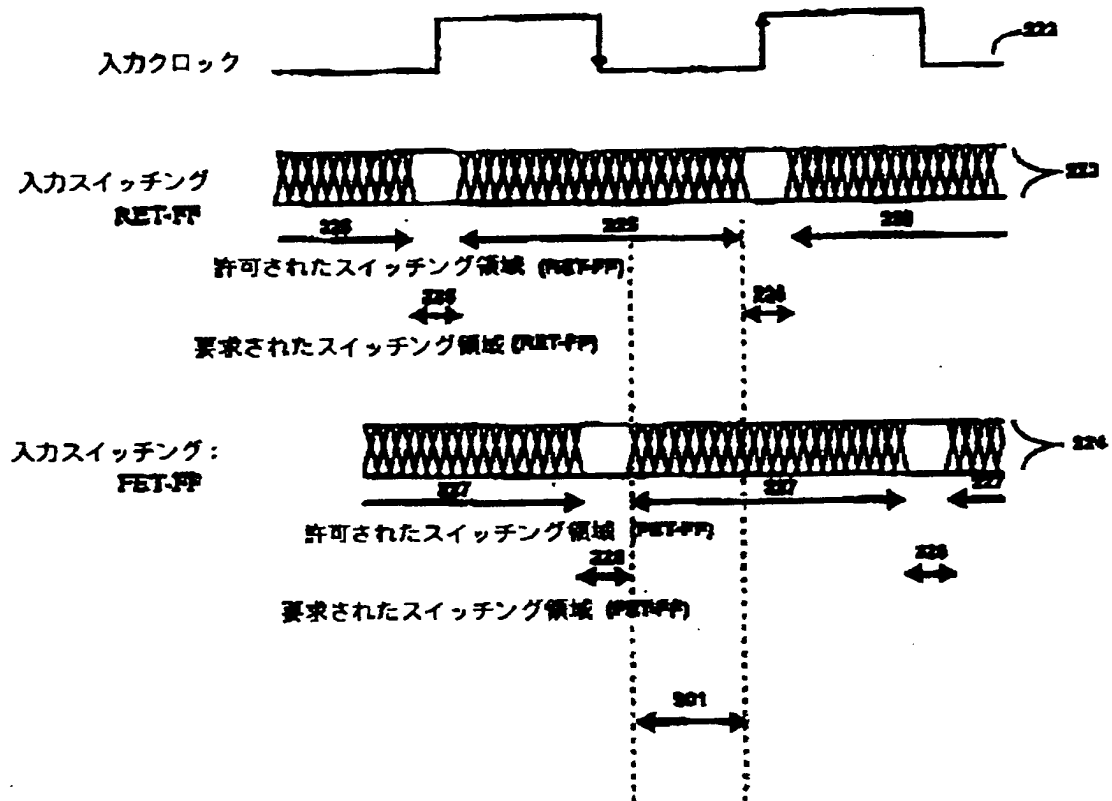
【図6】

FIG 6



【図7】

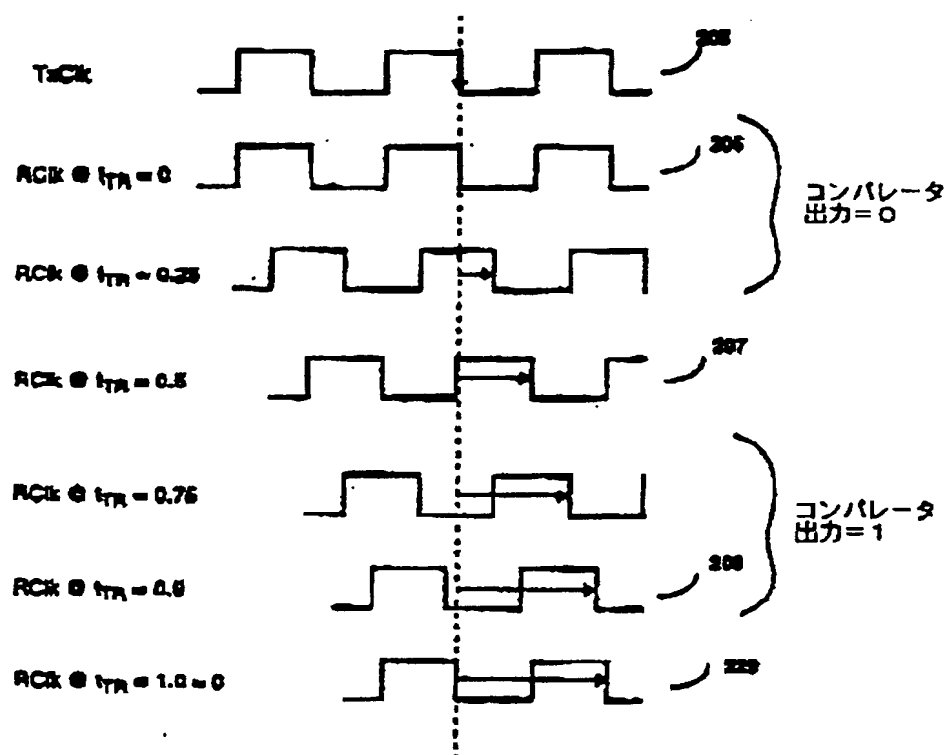
FIG 7



【図 8】

FIG 8

位相コンパレータ動作:



【図9】

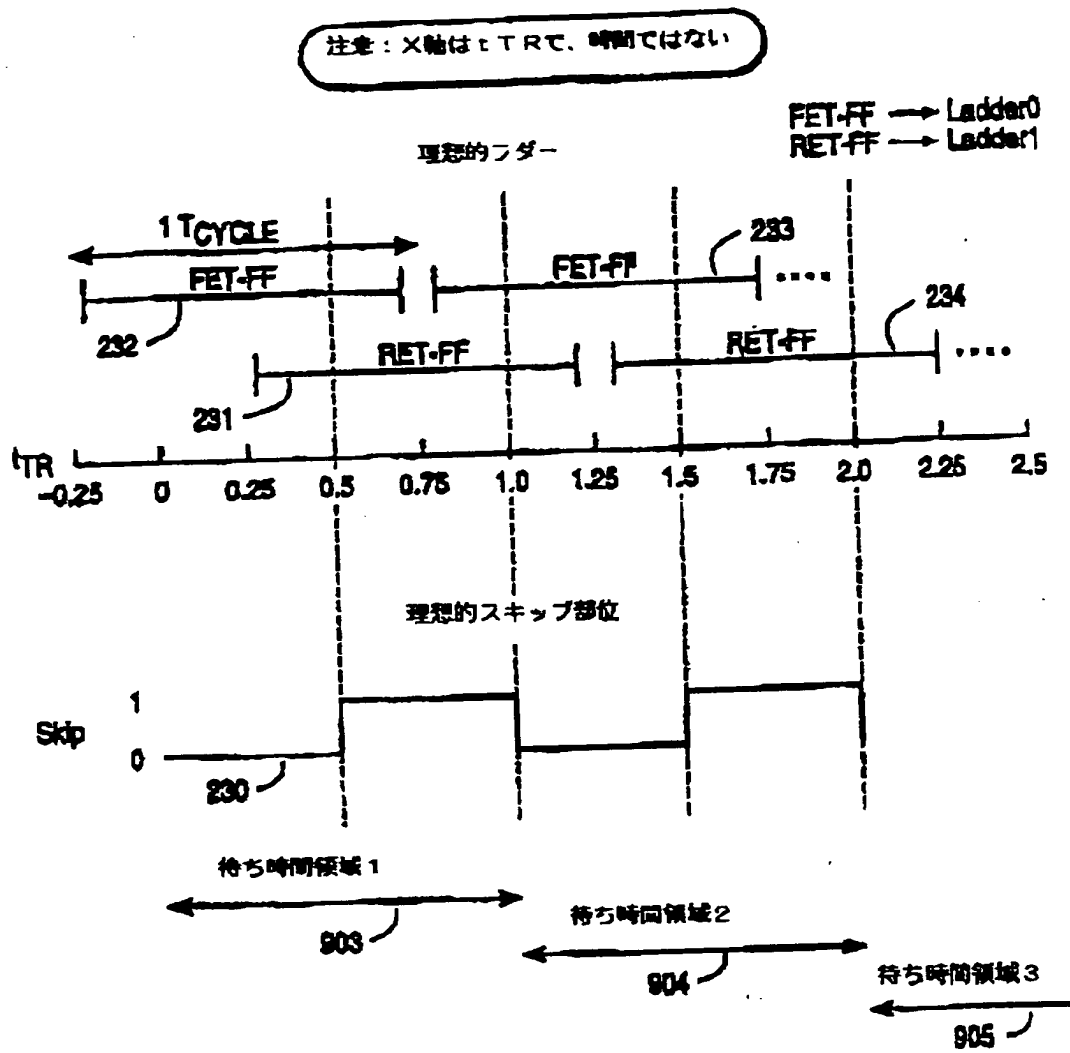
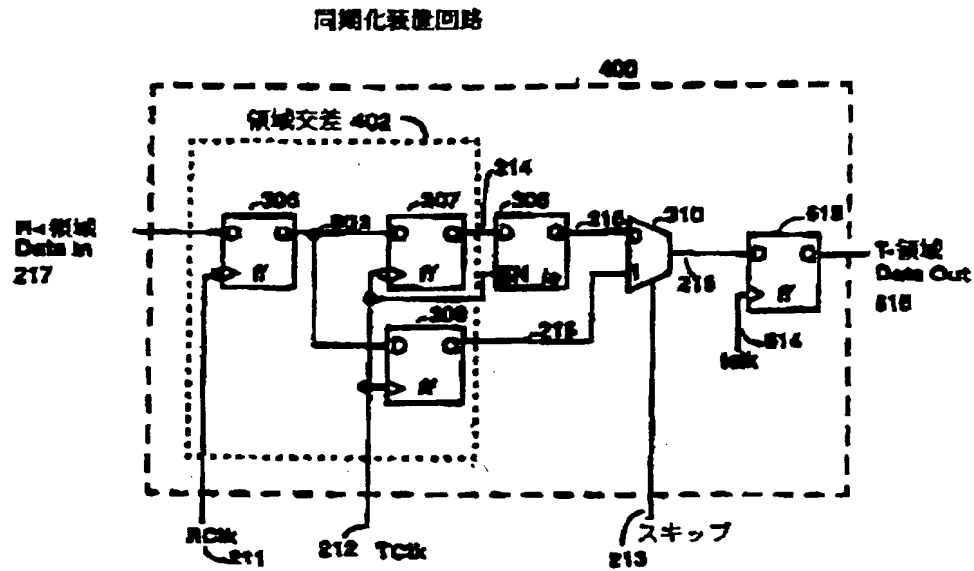


FIG 9

【図10】

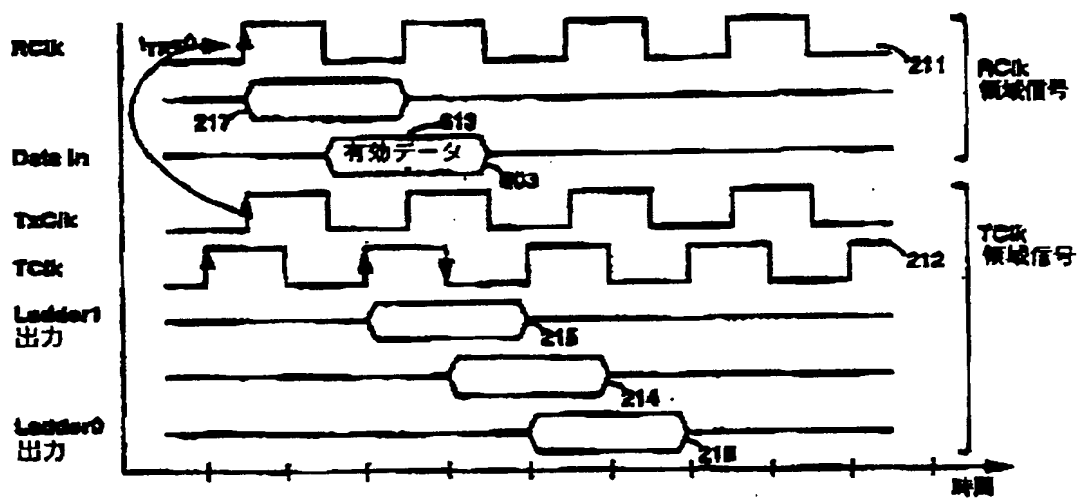
FIG 10



【図11】

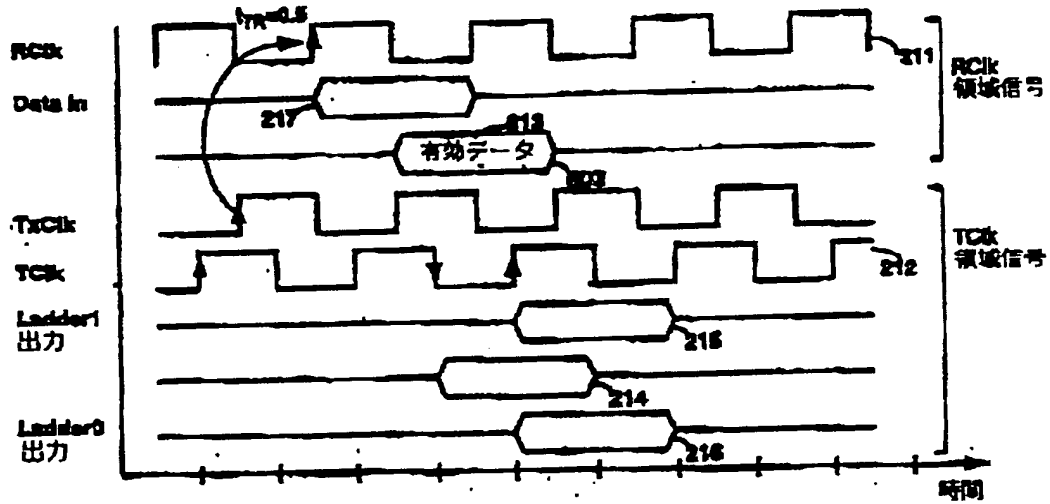
FIG 11

$t_{TR}=0$. 0でのラダー動作



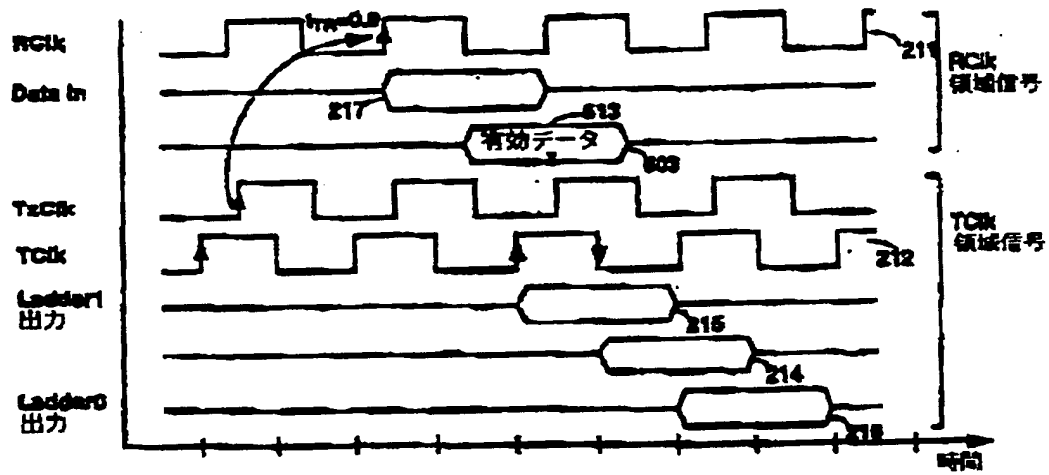
【図12】

FIG 12

 $t_{TR}=0.5$ でのラダー動作

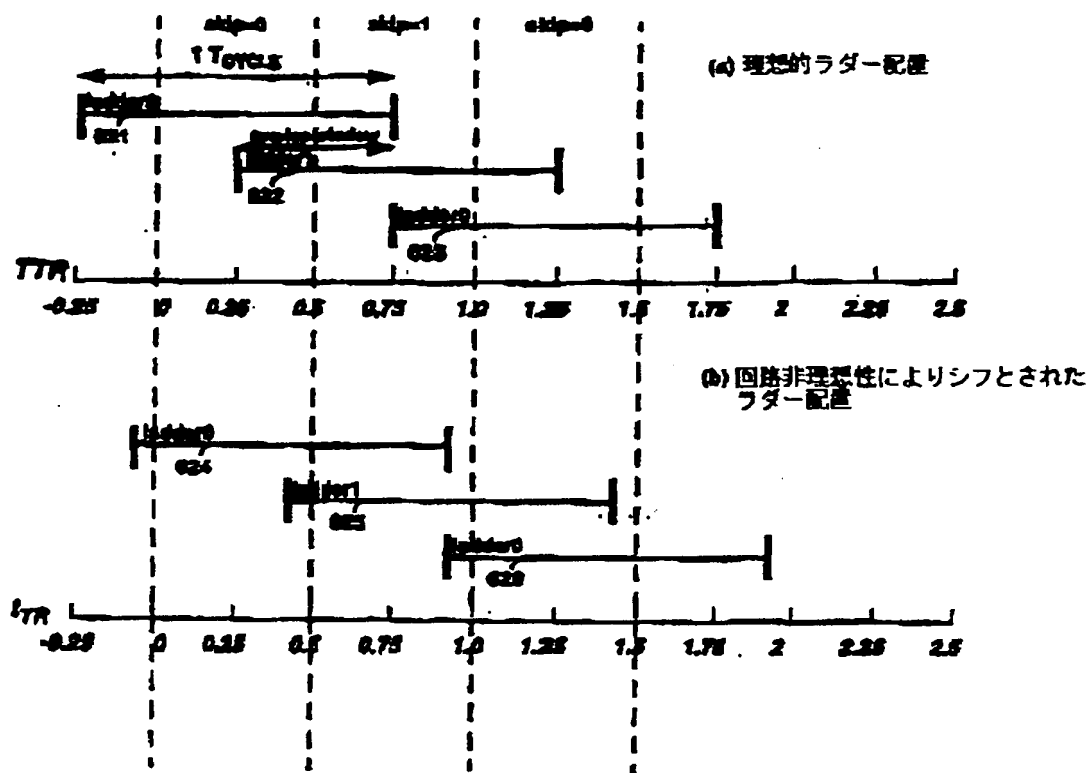
【図13】

FIG 13

 $t_{TR}=0.9$ でのラダー動作

【図14】

FIG 14



【図15】

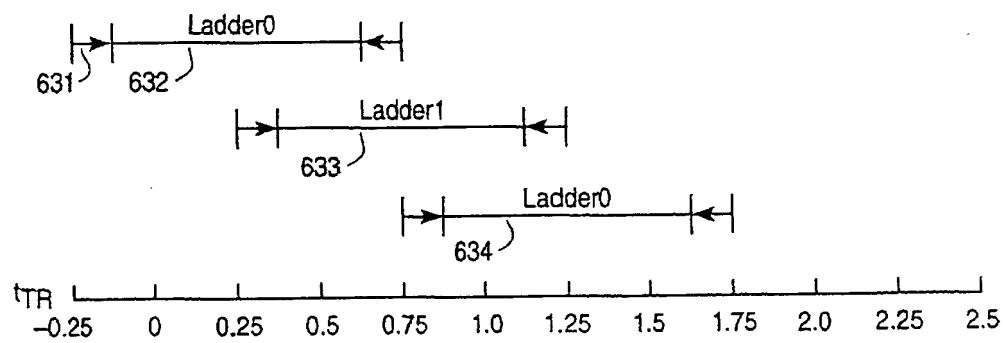
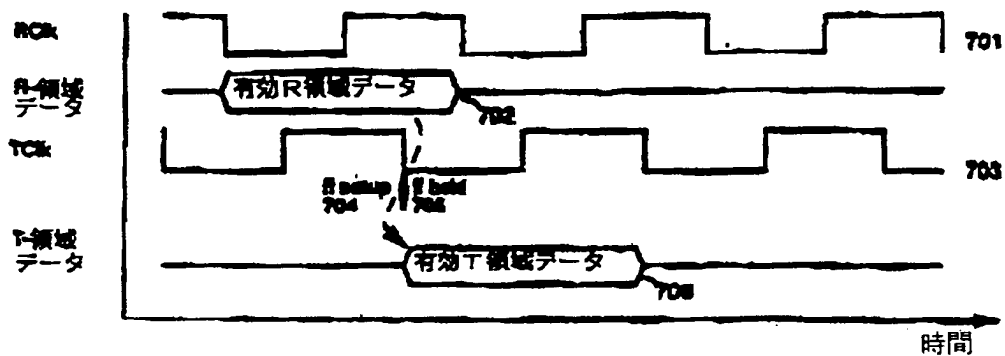


FIG 15

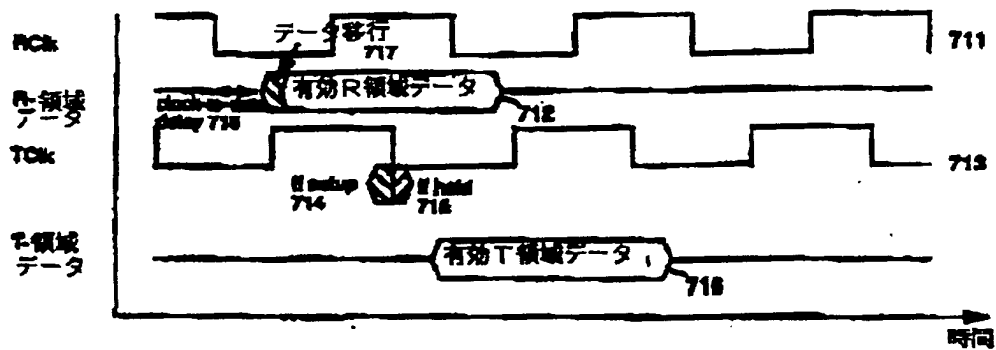
【図16】

FIG 16



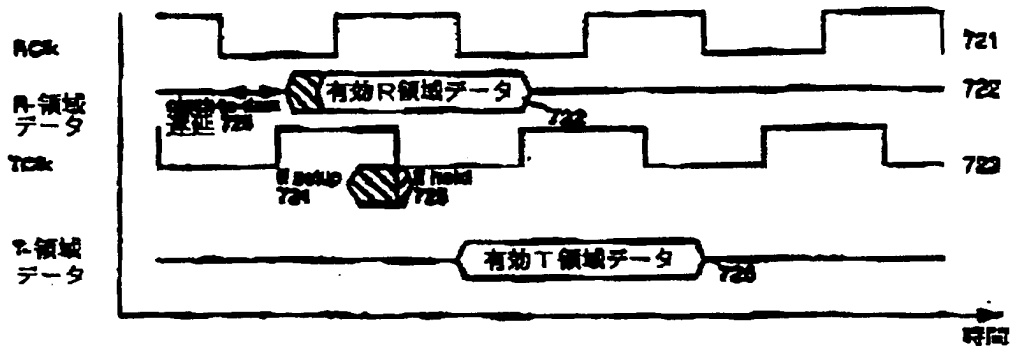
【図17】

FIG 17



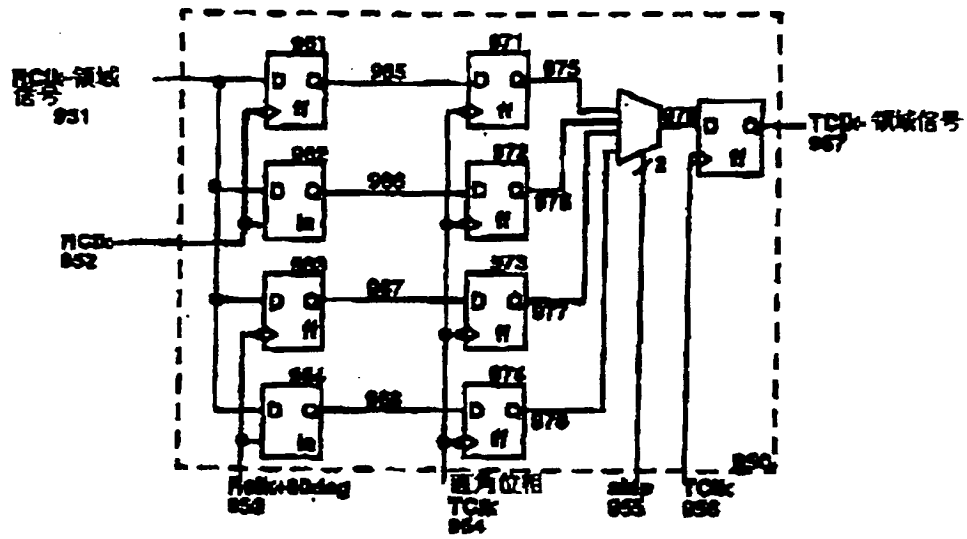
【図18】

FIG 18



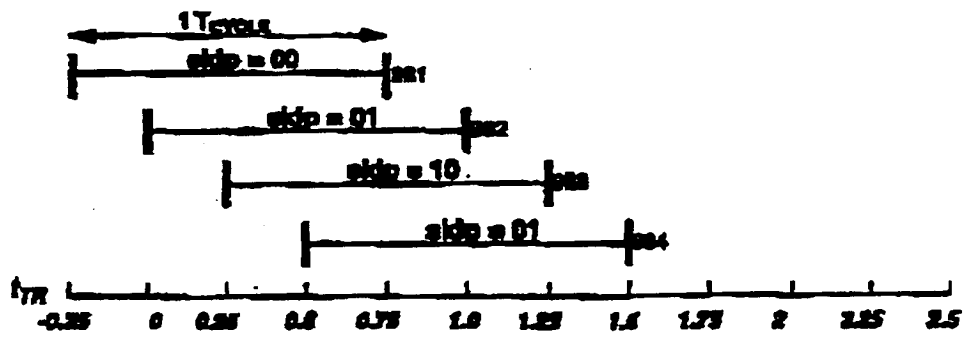
【图 21】

FIG 21



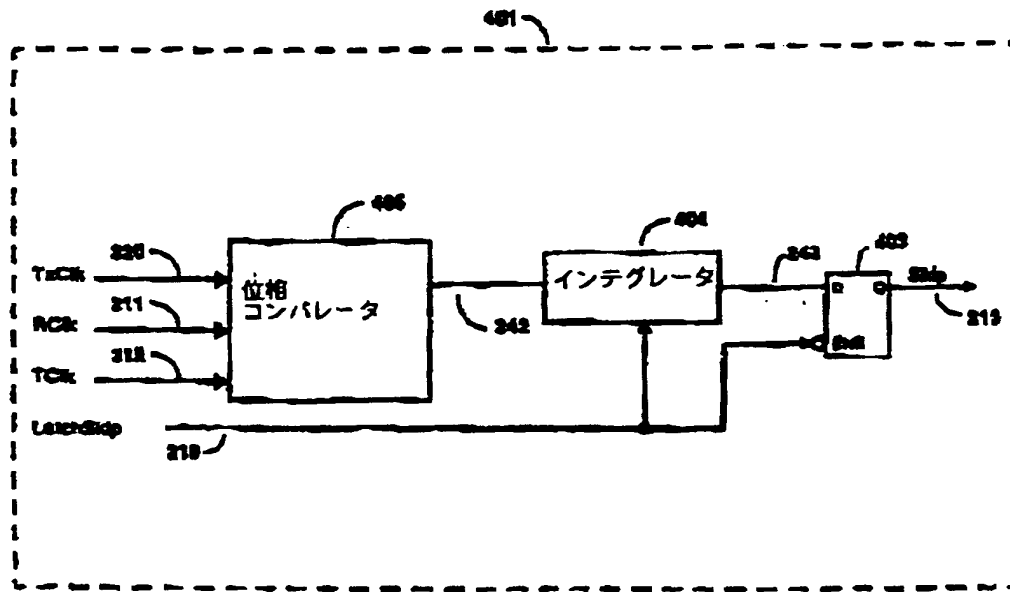
【图 22】

FIG 22



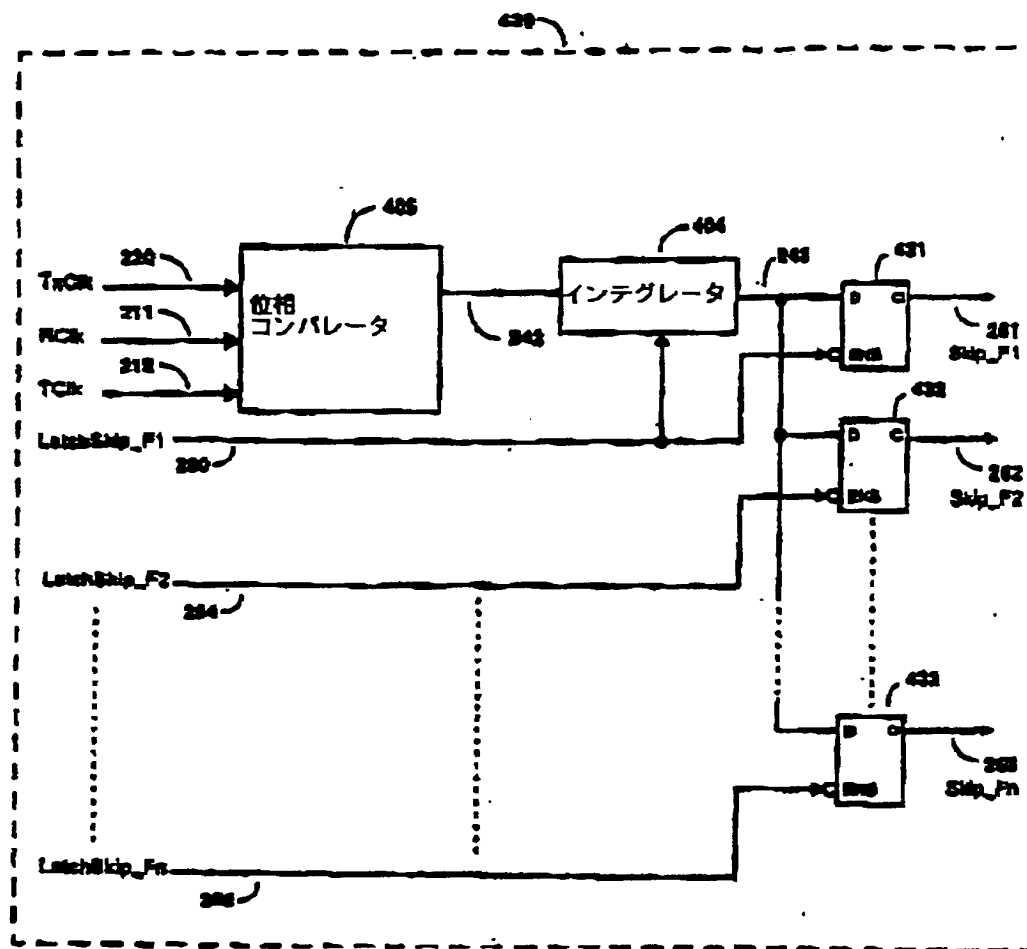
【図 25】

FIG 25



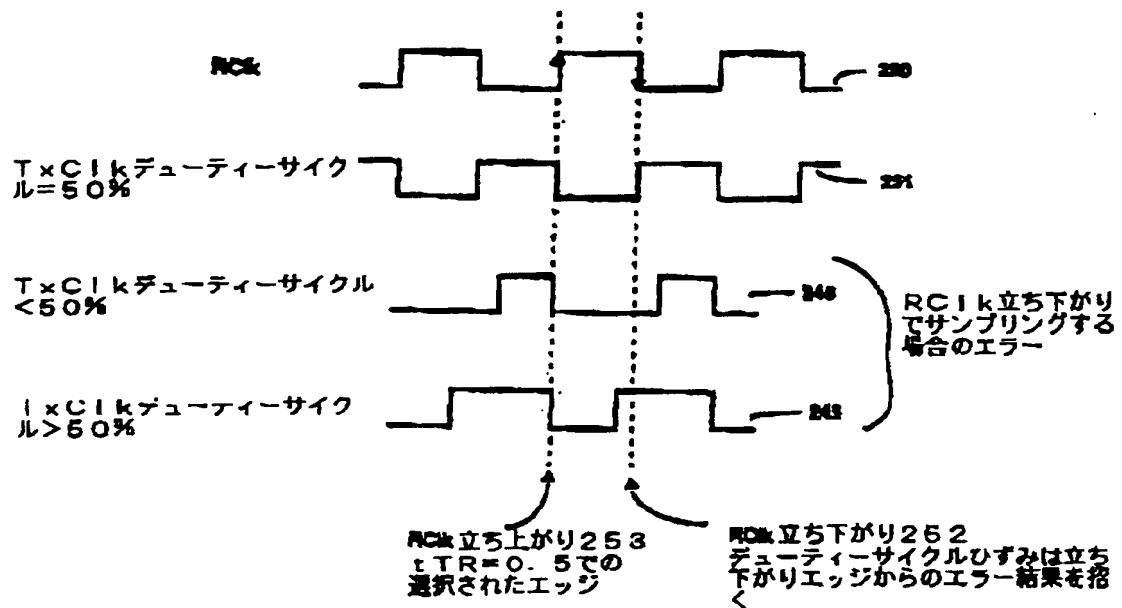
【図 26】

FIG 26



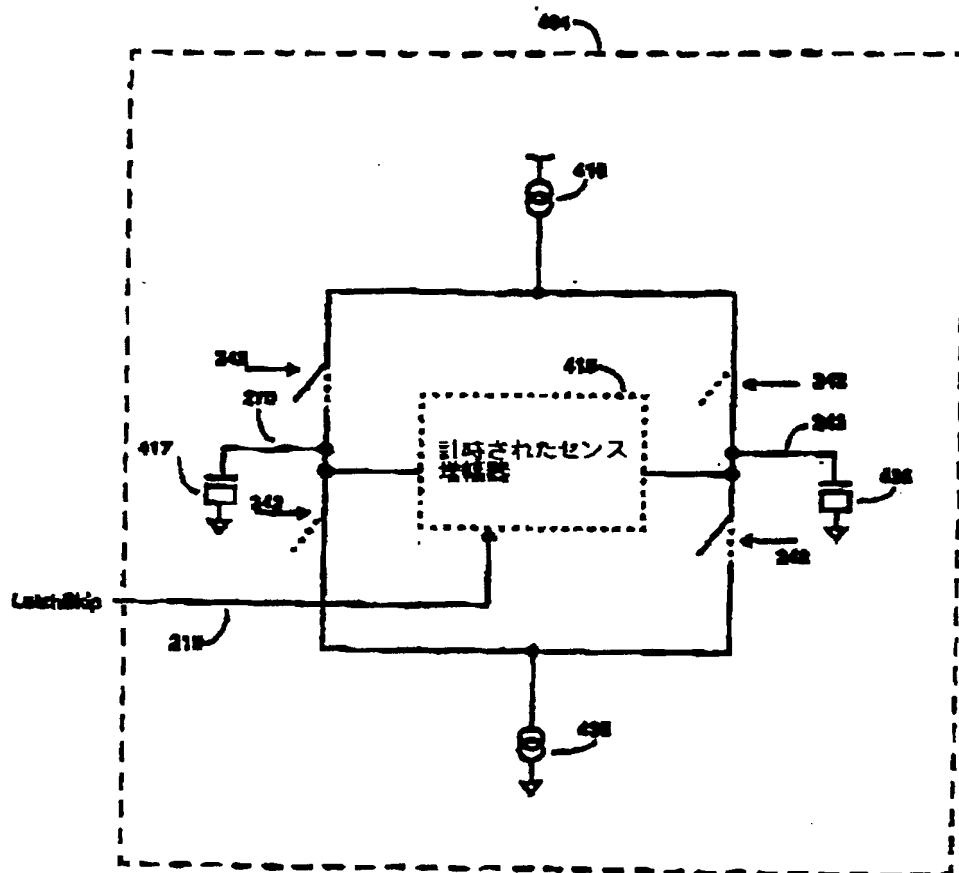
【図28】

FIG 28

 $t_{TR}=0.5$ での全波形

【図29】

FIG 29



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 98/21448

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G06F13/42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 5 551 050 A (EHLIG PETER N ET AL) 27 August 1996 see column 3, line 20 - line 32 see column 3, line 55 - column 5, line 9 see column 6, line 8 - line 29 see abstract; claims 1,2; figures 1,3	1,2, 11-13,17 3-10, 14-16, 18,19
X A	WO 93 18463 A (RAMBUS INC) 16 September 1993 see page 7, paragraph 2 - page 9 see page 10, paragraph 3 - page 11 see abstract; figures 3,4A-C,5 -/-	1-4, 11-15, 17,18, 5-10,16, 19

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"G" document member of the same patent family

Date of the actual completion of the international search

25 February 1999

Date of mailing of the international search report

04/03/1999

Name and mailing address of the ISA
European Patent Office, P.B. 5016 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax (+31-70) 240-3016

Authorized officer:

Nguyen Xuan Hiep, C

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 98/21448

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 96 41267 A (AST RESEARCH INC) 19 December 1996 see page 2, line 33 - page 3, line 18 see page 3, line 31 - page 5, line 7 see abstract; claim 1; figures 1-3 -----	1-19

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/21448

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5551050 A	27-08-1996	NONE	
WO 9318463 A	16-09-1993	DE 4390991 T JP 7506920 T US 5432823 A	23-02-1995 27-07-1995 11-07-1995
WO 9641267 A	19-12-1996	AU 6035296 A CN 1192282 A EP 0834134 A WO 9641268 A US 5764966 A	30-12-1996 02-09-1998 08-04-1998 19-12-1996 09-06-1998

フロントページの続き

- (72) 発明者 アブヒャンカル アブヒート エム
アメリカ合衆国 カリフォルニア州
94086 サニーヴェイル ヴァレンシア
アベニュー ノース 8-1075
- (72) 発明者 バース リチャード エム
アメリカ合衆国 カリフォルニア州
94022 パロ アルト ロス ロブレス
アベニュー 787
- (72) 発明者 チャン アンディー ペン プイ
アメリカ合衆国 カリフォルニア州
95132 サン ホセ タンダーロン コー
ト 2968
- (72) 発明者 ディヴィス ポール ジー
アメリカ合衆国 カリフォルニア州
95124 サン ホセ ルパート ドライヴ
2317
- (72) 発明者 ストーンサイファー ウィリアム エフ
アメリカ合衆国 カリフォルニア州
95118 サン ホセ ウィローブルック
ドライヴ 1574
- F ターム(参考) 5B077 FF11 GG14 MM01 MM02
5K047 BB12 GG03 GG09 GG45 MM28
MM63